

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-274066

(43)Date of publication of application : 21.10.1997

(51)Int.Cl.

G01R 31/26

G01R 1/06

G01R 31/28

H01L 21/60

H01L 21/66

(21)Application number : 08-318269

(71)Applicant : FUJITSU LTD

(22)Date of filing : 28.11.1996

(72)Inventor : SUMI YUKINORI
FUKAZAWA NORIO

(30)Priority

Priority number : 08 21072 Priority date : 07.02.1996 Priority country : JP

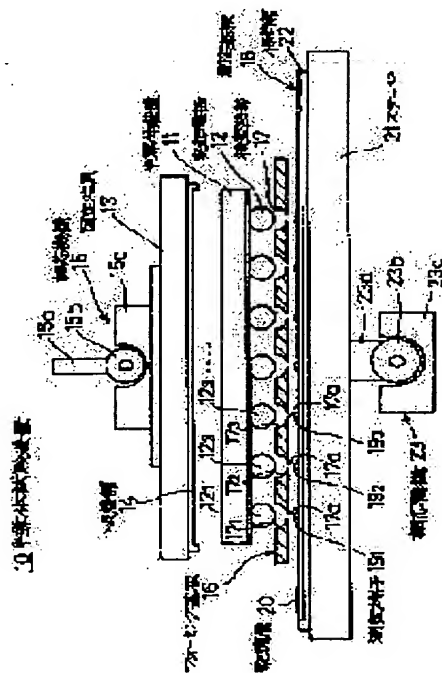
(54) SEMICONDUCTOR TESTER, TESTING METHOD UTILIZING TESTER THEREOF AND SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To shorten the time of the test of a semiconductor device having bump electrodes and the inspection of the protruding electrodes and to improve reliability.

SOLUTION: In a semiconductor tester 10, each bump electrode is coupled into each inspecting concave part 17 formed in the upper surface of a forming board 16 by the descending operation of a semiconductor device 11 held by a fixing jig 13. At this time, the appearance shape and the position of each bump electrode 12 are inspected by the coupling with each inspecting concave part 17. Then, each bump electrode 12 is connected to each measuring terminal 19 (191-193) in each inspecting concave part 17, and the electric operation test of the semiconductor device 11 is performed. Thus, the electric operation test of the semiconductor device 11 and the inspection for the appearance shape and the arranging positions of a plurality of the bump electrodes 12 provided at the lower surface of the semiconductor

device 11 can be performed at the same time. Therefore, the time for the test and the inspection can be shortened, and the reliability of the inspection can be enhanced.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than
the examiner's decision of rejection or
application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-274066

(43) 公開日 平成9年(1997)10月21日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/26 1/06 31/28			G 0 1 R 31/26 1/06	J E
H 0 1 L 21/60 21/66	3 2 1		H 0 1 L 21/60 21/66 G 0 1 R 31/28	3 2 1 Y D K
審査請求 未請求 請求項の数27 O L (全 27 頁)				

(21) 出願番号 特願平8-318269

(22) 出願日 平成8年(1996)11月28日

(31) 優先権主張番号 特願平8-21072

(32) 優先日 平8(1996)2月7日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中4丁目1番
1号

(72) 発明者 角 幸典

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(72) 発明者 深澤 則雄

神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦

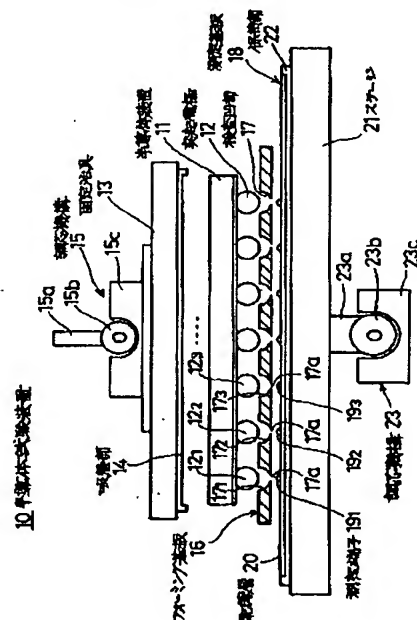
(54) 【発明の名称】 半導体試験装置及びこれを利用した試験方法及び半導体装置

(57) 【要約】

【課題】 本発明は、突起電極を有する半導体装置の試験及び突起電極の検査の時間短縮及び信頼性を向上させることを課題とする。

【解決手段】 半導体試験装置10は、固定治具13に保持された半導体装置11の降下動作により各突起電極12の夫々がフォーミング基板16の上面に形成された各検査凹部17に嵌合する。この時、各突起電極12の外観形状及び位置が各検査凹部17との嵌合により検査される。そして、各突起電極12が各検査凹部17内の各測定端子19に接続され、半導体装置11の電気的動作試験が行なわれる。このように、半導体装置11の電気的動作試験と半導体装置11の下面に設けられた複数の突起電極12の外観形状及び配列位置検査とを同時に行なうことができるので、試験、検査時間を短縮することができると共に試験、検査の信頼性を高めることができる。

本発明の第1実施例である半導体試験装置10を上方向に分解して示す構成図



【特許請求の範囲】

【請求項 1】 一面に複数の突起電極を有する被試験半導体が装着され、該突起電極に測定端子を接触させて電気的に接続することにより該被試験半導体の試験を行う構成とされた半導体試験装置において、

前記被試験半導体の一面に対向するように基板を設け、該基板に前記突起電極に対応した形状の凹部を設け、前記複数の突起電極の夫々が前記基板の凹部に嵌合することにより前記突起電極の端部が前記測定端子に電気的に接続され電気的動作試験を行うよう構成したことを特徴とする半導体試験装置。

【請求項 2】 前記請求項 1 記載の半導体試験装置において、前記複数の突起電極の夫々が前記基板の凹部に嵌合することにより前記突起電極を成形すると共に前記突起電極の形状検査を行うことを特徴とする半導体試験装置。

【請求項 3】 前記請求項 1 記載の半導体試験装置において、前記複数の突起電極の夫々が前記基板の凹部に嵌合することにより前記突起電極の形状検査を行うと同時に、前記突起電極の端部が前記測定端子に電気的に接続され電気的動作試験を行うよう構成したことを特徴とする半導体試験装置。

【請求項 4】 前記請求項 1 乃至 3 のいずれかに記載の半導体試験装置において、前記被試験半導体と前記基板とが平行状態を保つように位置調整を行う調芯機構を設けたことを特徴とする半導体試験装置。

【請求項 5】 前記請求項 1 乃至 4 のいずれかに記載の半導体試験装置において、前記突起電極と前記凹部との相対位置が一致するように前記被試験半導体と前記基板との相対位置を規制する位置決め機構を設けたことを特徴とする半導体試験装置。

【請求項 6】 前記請求項 1 乃至 4 のいずれかに記載の半導体試験装置において、記載の半導体試験装置において、前記基板をフローティング状態に設け、

前記複数の突起電極の夫々が前記基板の凹部に嵌合することにより、前記突起電極と前記凹部との相対位置が一致するように前記被試験半導体に対する前記基板の位置を位置決めすることを特徴とする半導体試験装置。

【請求項 7】 前記請求項 1 乃至 6 のいずれかに記載の半導体試験装置において、前記測定端子を上下動可能に設け、前記突起電極を前記基板の凹部に嵌合させることにより前記測定端子が下動すると共に前記突起電極が前記測定端子に接続されるよう構成したことを特徴とする半導体試験装置。

【請求項 8】 前記請求項 1 乃至 6 のいずれかに記載の半導体試験装置において、

前記被試験半導体と該被試験半導体を支持する固定治具との間、または前記被試験半導体と前記基板との間、または前記基板と前記測定端子が形成された測定基板との間の何れかに、弾性を有する緩衝材を設けたことを特徴とする半導体試験装置。

【請求項 9】 前記請求項 1 乃至 6 のいずれかに記載の半導体試験装置において、前記被試験半導体と前記基板との間に、前記被試験半導体と前記基板との間のクリアランスを一定に保つスペーサを設けたことを特徴とする半導体試験装置。

【請求項 10】 前記請求項 1 乃至 9 のいずれかに記載の半導体試験装置において、前記測定端子の先端部に突起状端子を形成したことを特徴とする半導体試験装置。

【請求項 11】 前記請求項 10 記載の半導体試験装置において、前記突起状端子をスタッドバンプにより形成したことを特徴とする半導体試験装置。

【請求項 12】 前記請求項 10 または請求項 11 記載の半導体試験装置において、前記突起状端子は、同種または異種の金属よりなる複数のスタッドバンプを複数個多段に形成した構造を有することを特徴とする半導体試験装置。

【請求項 13】 前記請求項 1 乃至 9 のいずれかに記載の半導体試験装置において、前記測定端子の表面部に粗化面を形成したことを特徴とする半導体試験装置。

【請求項 14】 前記請求項 1 乃至 9 のいずれかに記載の半導体試験装置において、前記測定端子の表面部に、前記測定端子の材料とは異なる材料よりなる異種金属膜を形成したことを特徴とする半導体試験装置。

【請求項 15】 前記請求項 1 乃至 14 のいずれかに記載の半導体試験装置において、前記基板に形成された凹部の形状を、半球形状、円錐形状、及び角錐形状の内のいずれか一つの形状としたことを特徴とする半導体試験装置。

【請求項 16】 前記請求項 1 乃至 15 のいずれかに記載の半導体試験装置において、前記測定端子を、フレキシブル構造とされた端子シートと、前記端子シートの下部に位置すると共に前記基板の凹部と対向する位置に凸部を形成した基台とにより構成し、前記凸部が前記端子シート部を押し出すことにより測定端子を形成することを特徴とする半導体試験装置。

【請求項 17】 前記請求項 1 乃至 16 のいずれかに記載の半導体試験装置において、前記基板の前記測定端子と対向する位置に第 2 の凹部を形成したことを特徴とする半導体試験装置。

50 【請求項 18】 前記請求項 1 乃至 17 のいずれかに記

3

載の半導体試験装置において、
前記基板と、前記測定端子が形成された測定基板との位置決めを行なう基板位置決め機構を設けたことを特徴とする半導体試験装置。

【請求項19】 前記請求項1乃至18のいずれかに記載の半導体試験装置において、
前記基板と、前記被試験半導体との位置決めを行なう半導体位置決め機構を設けたことを特徴とする半導体試験装置。

【請求項20】 一面に複数の突起電極を有する被試験半導体が装着され、該突起電極に測定端子を接触させて電気的に接続することにより該被試験半導体の試験を行う構成とされた半導体試験装置の試験方法において、
前記被試験半導体の一面に対向するように設けられた基板の凹部に前記複数の突起電極を嵌合させて各突起電極の形状を試験すると共に、前記突起電極の端部を前記凹部に設けられた前記測定端子に電気的に接続させて前記被試験半導体の試験を行うことを特徴とする半導体試験装置の試験方法。

【請求項21】 前記請求項20記載の半導体試験装置の試験方法において、
前記基板或いは前記被試験半導体の少なく一方を振動させることにより、前記基板に形成された凹部に前記突起電極を位置決めすることを特徴とする半導体試験装置の試験方法。

【請求項22】 前記請求項20記載の半導体試験装置の試験方法において、
前記基板に真空吸引装置に接続された吸引孔を形成すると共に、前記吸引孔により前記突起電極を吸引することにより、前記基板に形成された凹部に前記突起電極を位置決めすることを特徴とする半導体試験装置の試験方法。

【請求項23】 前記請求項20記載の半導体試験装置の試験方法において、
前記基板を多孔質材料により形成すると共に該基板を真空吸引装置に接続し、前記基板に前記突起電極を吸引することにより、前記基板に形成された凹部に前記突起電極を位置決めすることを特徴とする半導体試験装置の試験方法。

【請求項24】 前記請求項20記載の半導体試験装置の試験方法において、
前記被試験半導体を前記基板に沿って水平移動させる移動装置を設け、
該移動装置により前記被試験半導体を水平移動させることにより、前記突起電極を前記凹部に嵌合させ位置決めすることを特徴とする半導体試験装置の試験方法。

【請求項25】 前記請求項20記載の半導体試験装置の試験方法において、
前記凹部に勾配の異なる第1及び第2の傾斜面を形成し、該第1及び第2の傾斜面の勾配差に基づき前記突起

4

電極を前記凹部に嵌合させ位置決めすることを特徴とする半導体試験装置の試験方法。

【請求項26】 半導体素子に突起電極を有しており、前記突起電極に対応した凹部が形成された基板を有する半導体試験装置に装着されて所定の電気的動作試験が行なわれる半導体装置において、
前記突起電極は、前記基板に形成された凹部に押し当てられることにより、前記凹部の形状に沿った形状に整形されていることを特徴とする半導体装置。

【請求項27】 請求項26記載の半導体装置において、
前記突起電極の形状は円錐形状または円柱形状であることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体試験装置及びこれを利用した試験方法及び半導体装置に係り、特に突起電極を有する半導体チップ及び半導体装置の試験に用いて好適な半導体試験装置及びこれを利用した試験方法及び半導体装置に関する。

【0002】近年、半導体装置の高密度化、高速化、小型化が要求されており、この要求に対応すべく、パッケージに封止されていない半導体チップ（いわゆるベアチップ）又はBGA（Ball Grid Array）構造の半導体装置を回路基板上に直接複数個搭載する実装方法が多用されるようになってきている。

【0003】この実装方法においては、例えば複数個配設されるベアチップあるいは半導体装置の内、一つに異常があれば装置全体が不良品となるため、個々のベアチップあるいは半導体装置に高い信頼性が要求される。そこで、個々のベアチップあるいは半導体装置が正常に機能するか否かを調べる試験が重要な課題となってきた。

【0004】

【従来の技術】従来より、下面に球状に突出する突起電極を有する半導体装置（以下、樹脂封止されていないベアチップ及び樹脂封止された半導体装置を総称して「半導体装置」という）の試験方法として種々の試験方法が提案されており、また実施されている。

【0005】この種の半導体装置の電気的動作試験を行う場合、突起電極に試験装置の試験針を接触させるため、突起電極をできるだけ変質させずに各突起電極の電気的接続の試験を行なわなければならない、さらに試験の信頼性が高く、且つ低コストであることが要求されている。

【0006】従来の半導体試験装置としては、例えば半導体用テストソケットを使用したものがある。この半導体用テストソケットは、プローブ（試験針）を用いた試験方法により半導体の電気的動作を試験する構成となっている。この試験法は、半導体装置の下面に形成された

複数の突起電極に対応するよう試験用基板に複数のプローブを配設しておき、このプローブの先端を直接突起電極に接触させることにより試験を行う試験方法である。

【0007】すなわち、半導体用テストソケットは、半導体装置の複数の突起電極と同一の配列に設けられた複数のプローブを有し、このプローブにはU字状に曲げられた撓み部分が設けられている。そして、プローブの先端が半導体装置の突起電極に当接して押圧されると、撓み部分が変形して突起電極の損傷を軽減するようになっている。

【0008】また、突起電極は半導体装置の下面にマトリクス状に設けられているため、半導体装置が基板に実装された状態では各突起電極の接続状態が外部から確認できないので、実装前に突起電極の寸法、形状を検査する必要がある。この種の検査装置としては、例えば光学的に突起電極の突出高さを測定するものがある。この他の検査方法としては、検査員の目視により突起電極の形状をチェックする方法がある。

【0009】

【発明が解決しようとする課題】しかしながら、従来は半導体装置の電気的な試験と突起電極の形状の検査とを別々に行っており、検査工程に多くの手間がかかるばかりか検査終了までの時間が余計にかかるため、検査効率が低いといった問題があった。

【0010】また、上記したプローブ試験法により半導体装置の電気的な試験を行う場合、突起電極の高さにバラツキがあるため、プローブの先端との接続が十分でない場合がある。さらに、プローブにはU字状に曲げられた撓み部分が設けられているもののプローブの先端が突起電極に当接したとき、半田により形成された突起電極を变形させてしまうおそれがあった。

【0011】また、突起電極の検査を行う場合、半導体装置の下面に多数の突起電極が所定の配列で密集して設けられているので、光学的に突起電極の突出高さを測定することが難しく、また検査員が目視により全ての突起電極の外観形状をチェックすることは困難であり、検査の信頼性が低いばかりか検査時間の短縮にも限界がある。

【0012】本発明は上記の点に鑑みてなされたものであり、突起電極の信頼性及び試験の効率を向上しうる半導体試験装置及びこれを利用した試験方法及び半導体装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上記課題を解決するために、本発明では下記の種々の手段を講じた事の特徴とするものである。請求項1記載の発明では、一面に複数の突起電極を有する被試験半導体が装着され、該突起電極に測定端子を接触させて電気的に接続することにより該被試験半導体の試験を行う構成とされた半導体試験装置において、前記被試験半導体の一面に対向するように基

板を設け、該基板に前記突起電極に対応した形状の凹部を設け、前記複数の突起電極の夫々が前記基板の凹部に嵌合することにより前記突起電極の端部が前記測定端子に電気的に接続され電気的動作試験を行うよう構成したことを特徴とするものである。

【0014】また、請求項2記載の発明では、前記請求項1記載の半導体試験装置において、前記複数の突起電極の夫々が前記基板の凹部に嵌合することにより前記突起電極を成形すると共に前記突起電極の形状検査を行うことを特徴とするものである。

【0015】また、請求項3記載の発明では、前記請求項1記載の半導体試験装置において、前記複数の突起電極の夫々が前記基板の凹部に嵌合することにより前記突起電極の形状検査を行うと同時に、前記突起電極の端部が前記測定端子に電気的に接続され電気的動作試験を行うよう構成したことを特徴とするものである。

【0016】また、請求項4記載の発明では、前記請求項1乃至3のいずれかに記載の半導体試験装置において、前記被試験半導体と前記基板とが平行状態を保つように位置調整を行う調芯機構を設けたことを特徴とするものである。

【0017】また、請求項5記載の発明では、前記請求項1乃至4のいずれかに記載の半導体試験装置において、前記突起電極と前記凹部との相対位置が一致するように前記被試験半導体と前記基板との相対位置を規制する位置決め機構を設けたことを特徴とするものである。

【0018】また、請求項6記載の発明では、前記請求項1乃至4のいずれかに記載の半導体試験装置において、前記基板をフローティング状態に設け、前記複数の突起電極の夫々が前記基板の凹部に嵌合することにより、前記突起電極と前記凹部との相対位置が一致するように前記被試験半導体に対する前記基板の位置を位置決めすることを特徴とするものである。

【0019】また、請求項7記載の発明では、前記請求項1乃至6のいずれかに記載の半導体試験装置において、前記測定端子を上下動可能に設け、前記突起電極を前記基板の凹部に嵌合させることにより前記測定端子が下動すると共に前記突起電極が前記測定端子に接続されるよう構成したことを特徴とするものである。

【0020】また、請求項8記載の発明では、前記請求項1乃至6のいずれかに記載の半導体試験装置において、前記被試験半導体とこの被試験半導体を支持する固定治具との間、または前記被試験半導体と前記基板との間、または前記基板と前記測定端子が形成された測定基板との間の何れかに、弾性を有する緩衝材を設けたことを特徴とするものである。

【0021】また、請求項9記載の発明では、前記請求項1乃至6のいずれかに記載の半導体試験装置において、前記被試験半導体と前記基板との間に、前記被試験半導体と前記基板との間のクリアランスを一定に保つス

ペーサを設けたことを特徴とするものである。

【0022】また、請求項10記載の発明では、前記請求項1乃至9のいずれかに記載の半導体試験装置において、前記測定端子の先端部に突起状端子を形成したことを特徴とするものである。また、請求項11記載の発明では、前記請求項10記載の半導体試験装置において、前記突起状端子をスタッドバンプにより形成したことを特徴とするものである。

【0023】また、請求項12記載の発明では、前記請求項10または請求項11記載の半導体試験装置において、前記突起状端子は、同種または異種の金属よりなる複数個のスタッドバンプを複数個多段に形成した構造を有することを特徴とするものである。

【0024】また、請求項13記載の発明では、前記請求項1乃至9のいずれかに記載の半導体試験装置において、前記測定端子の表面部に粗化面を形成したことを特徴とするものである。また、請求項14記載の発明では、前記請求項1乃至9のいずれかに記載の半導体試験装置において、前記測定端子の表面部に、前記測定端子の材料とは異なる材料よりなる異種金属膜を形成したことを特徴とするものである。

【0025】また、請求項15記載の発明では、前記請求項1乃至14のいずれかに記載の半導体試験装置において、前記基板に形成された凹部の形状を、半球形状、円錐形状、及び角錐形状の内のいずれか一つの形状としたことを特徴とするものである。

【0026】また、請求項16記載の発明では、前記請求項1乃至15のいずれかに記載の半導体試験装置において、前記測定端子を、フレキシブル構造とされた端子シートと、前記端子シートの下部に位置すると共に前記基板の凹部と対向する位置に凸部を形成した基台とにより構成し、前記凸部が前記端子シート部を押し出すことにより測定端子を形成することを特徴とするものである。

【0027】また、請求項17記載の発明では、前記請求項1乃至16のいずれかに記載の半導体試験装置において、前記基板の前記測定端子と対向する位置に第2の凹部を形成したことを特徴とするものである。

【0028】また、請求項18記載の発明では、前記請求項1乃至17のいずれかに記載の半導体試験装置において、前記基板と、前記測定端子が形成された測定基板との位置決めを行なう基板位置決め機構を設けたことを特徴とするものである。

【0029】また、請求項19記載の発明では、前記請求項1乃至18のいずれかに記載の半導体試験装置において、前記基板と、前記被試験半導体との位置決めを行なう半導体位置決め機構を設けたことを特徴とする半導体試験装置。

【0030】また、請求項20記載の発明では、一面に複数の突起電極を有する被試験半導体が装着され、該突

起電極に測定端子を接触させて電氣的に接続することにより該被試験半導体の試験を行う構成とされた半導体試験装置の試験方法において、前記被試験半導体の一面に対向するように設けられた基板の凹部に前記複数の突起電極を嵌合させて各突起電極の形状を試験すると共に、前記突起電極の端部を前記凹部に設けられた前記測定端子に電氣的に接続させて前記被試験半導体の試験を行うことを特徴とするものである。

【0031】また、請求項21記載の発明では、前記請求項20記載の半導体試験装置の試験方法において、前記基板或いは前記被試験半導体の少なくとも一方を振動させることにより、前記基板に形成された凹部に前記突起電極を位置決めすることを特徴とするものである。

【0032】また、請求項22記載の発明では、前記請求項20記載の半導体試験装置の試験方法において、前記基板に真空吸引装置に接続された吸引孔を形成すると共に、前記吸引孔により前記突起電極を吸引することにより、前記基板に形成された凹部に前記突起電極を位置決めすることを特徴とするものである。

【0033】また、請求項23記載の発明では、前記請求項20記載の半導体試験装置の試験方法において、前記基板を多孔質材料により形成すると共に該基板を真空吸引装置に接続し、前記基板に前記突起電極を吸引することにより、前記基板に形成された凹部に前記突起電極を位置決めすることを特徴とするものである。

【0034】また、請求項24記載の発明では、前記請求項20記載の半導体試験装置の試験方法において、前記被試験半導体を前記基板に沿って水平移動させる移動装置を設け、該移動装置により前記被試験半導体を水平移動させることにより、前記突起電極を前記凹部に嵌合させ位置決めすることを特徴とするものである。

【0035】また、請求項25記載の発明では、前記請求項20記載の半導体試験装置の試験方法において、前記凹部に勾配の異なる第1及び第2の傾斜面を形成し、該第1及び第2の傾斜面の勾配差に基づき前記突起電極を前記凹部に嵌合させ位置決めすることを特徴とするものである。

【0036】また、請求項26記載の発明では、半導体素子に突起電極を有しており、前記突起電極に対応した凹部が形成された基板を有する半導体試験装置に装着されて所定の電氣的動作試験が行なわれる半導体装置において、前記突起電極は、前記基板に形成された凹部に押し当てられることにより、前記凹部の形状に沿った形状に整形されていることを特徴とするものである。

【0037】更に、請求項27記載の発明では、前記請求項26記載の半導体装置において、前記突起電極の形状は円錐形状または円柱形状であることを特徴とするものである。

【0038】上記した各手段は、下記のように作用する。請求項1記載の発明によれば、複数の突起電極の夫

々が基板の凹部に嵌合することにより突起電極の端部が測定端子に電氣的に接続されるため、各突起電極の形状を凹部との嵌合により検査することができると共に突起電極が測定端子に接続されることにより被試験半導体の電氣的試験を行うことができる。そのため、被試験半導体の試験及び突起電極の検査を同時に行うことが可能となり、検査工程での信頼性の向上と共に試験、検査時間の短縮化を図ることができる。

【0039】また、請求項2記載の発明によれば、複数の突起電極の夫々が基板の凹部に嵌合することにより突起電極を成形すると共に突起電極の形状検査を行うため、突起電極の形状が異なる場合でも基板の凹部に合った形状に成形され、突起電極の形状不良を減少させることができる。

【0040】また、請求項3記載の発明では、複数の突起電極の夫々が基板の凹部に嵌合することにより突起電極の形状検査を行うと同時に、突起電極の端部が測定端子に電氣的に接続され電氣的動作試験を行うため、突起電極の検査工程が一工程で済むことになり、突起電極の検査時間を大幅に短縮することができる。

【0041】また、請求項4記載の発明によれば、被試験半導体と基板とが平行状態を保つように位置調整を行う調芯機構を設けたため、被試験半導体が傾いた状態で装着されても複数の突起電極の夫々を正確に凹部に嵌合させることができ、被試験半導体の試験及び突起電極の検査の信頼性を向上させることができる。

【0042】また、請求項5記載の発明によれば、位置決め機構により突起電極と凹部との相対位置が一致するように被試験半導体と基板との相対位置を規制するため、複数の突起電極の夫々を正確に凹部に嵌合させることができ、被試験半導体の試験及び突起電極の検査の信頼性を向上させることができる。

【0043】また、請求項6記載の発明によれば、基板をフローティング状態に設け、複数の突起電極の夫々が基板の凹部に嵌合することにより、突起電極と凹部との相対位置が一致するように被試験半導体に対する基板の位置を位置決めするため、複数の突起電極の夫々を正確に凹部に嵌合させることができ、被試験半導体の試験及び突起電極の検査の信頼性を向上させることができる。

【0044】また、請求項7記載の発明によれば、突起電極を基板の凹部に嵌合させることにより測定端子を下動させると共に突起電極が測定端子に接続されるため、被試験半導体が傾いた状態で装着されても各測定端子が個別に上下動して被試験半導体の試験及び突起電極の検査を行うことができる。

【0045】また、請求項8記載の発明によれば、緩衝材の弾性変形により基板と被試験半導体とが平行な状態で各突起電極を凹部に嵌合させることができると共に嵌合時の衝撃を吸収することができる。また、請求項9記載の発明によれば、被試験半導体と基板との間のクリア

ランスを一定に保つスペーサを設けたことにより、突起電極に不要な荷重が印加されることを防止でき、よって突起電極に変形が発生することを抑制することができる。

【0046】また、請求項10記載の発明によれば、測定端子の先端部に突起状端子を形成したことにより、測定端子の先端部は突出した構造となり、被試験半導体に設けられた突起電極との接続性を向上することができる。

【0047】また、請求項11記載の発明によれば、前記突起状端子をスタッドバンプにより形成したことにより、半導体装置の製造技術として一般に用いられているワイヤボンディング技術を用いて突起状端子を形成することができ、よって低コストでかつ作成功率よく突起状端子を形成することができる。

【0048】また、通常スタッドバンプはその先端部にワイヤ切断による小突起が形成され、この小突起はプローブ先端と同様に尖った形状となるため、これによっても測定端子と突起電極との接続性を向上することができる。また、請求項12記載の発明によれば、突起状端子を同種または異種の金属よりなる複数個のスタッドバンプを複数個多段に形成した構造としたことにより、最先端部に配設される突起状電極の材質を突起電極に対し適合性の良いものに選定でき、また最先端部以外の突起状端子の材質は測定端子或いは最先端部に配設され突起状端子に対し適合性の良いものに選定できる。

【0049】このため、最先端部に配設された突起状端子と突起電極との接続性、各突起状端子間の接続性、及び突起状端子と測定端子との接続性を共に良好なものとすることができる。また、請求項13記載の発明によれば、測定端子の表面部に粗化面を形成したことにより、粗化面は微細な凹凸が形成された状態となりその表面積は広くなり、また微細な凸部は突起電極に食い込む状態となるため、測定端子と突起電極との電氣的接続を確実に行うことができる。

【0050】また、請求項14記載の発明によれば、測定端子の材料とは異なる材料よりなる異種金属膜を測定端子の表面部に形成したことにより、測定端子及び突起電極の材料が接合性の不良なものであっても、異種金属膜として測定端子及び突起電極に共に接合性の良好な材料を選定することが可能となり、測定端子と突起電極との間における電氣的接合性の向上と、保護及び測定端子の保護を図ることができる。

【0051】また、請求項15記載の発明のように、基板に形成された凹部の形状は、突起電極の形状検査を行う半球形状、円錐形状、及び角錐形状のいずれを採用することも可能である。突起電極のフォーミング性の面からは半球形状が望ましく、また凹部の形成性の面からは円錐形状、角錐形状の方が望ましい。

【0052】また、請求項16記載の発明によれば、フ

レキシブル構造とされた端子シートと、この端子シートの下部に位置すると共に基板の凹部と対向する位置に凸部を形成した基台とにより測定端子を構成し、凸部が端子シート部を押し出すことにより測定端子を形成する構成とすることにより、測定端子は突出した端子形状となるため突起電極との電氣的接続を確実に行なうことができる。

【0053】また、測定端子はフレキシブル構造とされた端子シートに形成されるため、前記基台に測定端子をプリント配設する必要はなく、かつ端子シートの形成は

【0054】また、請求項 17 記載の発明によれば、基板の測定端子と対向する位置に第 2 の凹部を形成したことにより、突起電極が基板に嵌合した状態において、基板下部に露出する突起電極の表面積を広く設定することができ、測定端子と突起電極との接続を確実に行なうことができる。

【0055】また、請求項 18 記載の発明によれば、基板位置決め機構を設けたことにより、基板と測定端子が形成された測定基板との位置決めを高精度に行なうことができる。また、請求項 19 記載の発明によれば、半導体位置決め機構を設けたことにより、基板と被試験半導体との位置決めを高精度に行なうことができる。

【0056】また、請求項 20 記載の発明によれば、被試験半導体の一面に対向するように設けられた基板の凹部に複数の突起電極を嵌合させて各突起電極の形状を試験すると共に、突起電極の端部を凹部に設けられた測定端子に電氣的に接続させて被試験半導体の試験を行うため、各突起電極の形状を凹部との嵌合により検査することができ、また突起電極が測定端子に接続されることにより被試験半導体の電氣的試験を行うことができる。

【0057】そのため、被試験半導体の試験及び突起電極の検査を同時に行なうことが可能となり、検査工程での信頼性の向上と共に試験、検査時間の短縮化を図ることができる。また、請求項 21 記載の発明によれば、基板或いは被試験半導体の少なくとも一方を振動させることにより、被試験半導体は基板上で相対的に移動し、やがて基板に形成された凹部に突起電極は嵌入して位置決めされる。よって、突起電極と凹部の位置決めを容易かつ自動的に行なうことができる。

【0058】また、請求項 22 及び請求項 23 記載の発明によれば、真空吸引装置により突起電極を吸引し、基板に形成された凹部に突起電極を位置決めすることにより、確実に突起電極を凹部内に嵌入させることができる。また、請求項 24 記載の発明によれば、被試験半導体を基板に沿って水平移動させる移動装置を設け、この移動装置により被試験半導体を水平移動させることにより、被試験半導体の移動に伴いやがて突起電極は凹部に嵌入し位置決めされる。よって、簡単かつ確実に突起

電極と凹部との位置決め処理を行なうことができる。

【0059】また、請求項 25 記載の発明によれば、凹部に勾配の異なる第 1 及び第 2 の傾斜面を形成することにより、勾配の緩やかな傾斜面を突起電極を案内する案内面として用い、勾配の急な傾斜面を突起電極を係止する係止面として用いることができる。

【0060】そして、この第 1 及び第 2 の傾斜面の勾配差に基づき突起電極を凹部に嵌合させ位置決めすることにより、凹部に嵌入した突起電極は案内面として機能する傾斜面に案内され、係止面として機能する傾斜面に係止されて位置決めされる。よって、簡単かつ確実に突起電極と凹部との位置決め処理を行なうことができる。

【0061】また、請求項 26 記載の発明によれば、突起電極は半導体試験装置を構成する基板に形成された凹部に押し当てられ、凹部の形状に沿った形状に整形されることにより、球形状以外の形状に形成することが可能となる。よって、突起電極の形状を半導体装置の実装態様に適した形状にすることができる。

【0062】更に、請求項 27 記載の発明によれば、突起電極の形状を円錐形状とした場合には、突起電極の先端は尖っており、かつこの先端部に押圧力は集中するため、当該突起電極を有する半導体装置を実装基板に実装する際、突起電極はその先端部から溶融し実装基板に接合されるため、効率よく確実に実装処理を行なうことができる。

【0063】また、突起電極の形状を円柱形状とした場合には、突起電極の先端は扁平状となり実装基板との接触面積は広がるため、確実な実装処理を行なうことができる。

【0064】

【発明の実施の形態】つぎに本発明の実施例について図面と共に説明する。図 1 は本発明の第 1 実施例である半導体試験装置 10 を上下方向に分解して示す図である。

【0065】半導体試験装置 10 は、被試験半導体となる半導体装置 11 の電氣的動作試験と半導体装置 11 の下面に設けられた複数の突起電極 12 (12a ~ 12n) の外観形状及び配列位置検査とを同時に行う装置である。半導体装置 11 は半導体チップ又は半導体チップがモールドされた BGA (Ball Grid Array) 構造の IC パッケージであり、下面に所定の配列で突出する複数の突起電極 12 を有した構成となっている。各突起電極 12 は、例えば半田 (材質が Pb/Sn) により球状に形成され、一般には「半田バンブ」又は「ハンダボール」とも呼ばれている。

【0066】また、半導体装置 11 は、下面に複数の突起電極 12 を有する構造であるため、パッケージの側面に電極を突出させた QFP (Quad Flat Package) 構造の半導体装置よりも電極を高密度に設けることが可能になり電極数の増大に対応することができる。

【0067】13 は平板状の半導体装置 11 を水平状態

13

に保持する固定治具で、昇降可能に支持されている。また、固定治具 13 には、半導体装置 11 を吸着するための吸着手段として真空ポンプ（図示せず）に接続された吸着部 14 が設けられている。

【0068】さらに、固定治具 13 の上部には、固定治具 13 を揺動自在に支持して面振れを調整するための調芯機構 15 が設けられている。この調芯機構 15 は、例えば固定治具 13 を昇降させる昇降機構（図示せず）のロッド 15a の端部に設けられた球状支持部 15b と、球状支持部 15b が嵌合する軸受部 15c とよりなる。そのため、調芯機構 15 は、球状支持部 15b と軸受部 15c とにより自在継手と同様な構成とされている。

【0069】例えば固定治具 13 の下方に対向するフォーミング基板 16 が傾いていた場合、固定治具 13 に吸着された半導体装置 11 を傾斜させるような力が作用する。しかしながら、調芯機構 15 の球状支持部 15b がその方向に傾いて半導体装置 11 がフォーミング基板 16 に追従するため、半導体装置 11 及び半導体試験装置 10 の損傷が防止される。

【0070】16 はフォーミング基板で、例えばマシナラブルセラミックス等により形成されており、上面には半導体装置 11 の突起電極 12 と同一の配列とされた複数の検査凹部 17（17i ~ 17n）が設けられている。この検査凹部 17 は、突起電極 12 の外形に対応した半球状の窪みであり、上記突起電極 12 が上方から嵌合されることにより突起電極 12 の形状が規定の寸法形状に形成されているか否かが判定される。

【0071】すなわち、複数の突起電極 12 の夫々が所定の配列でない場合、あるいは突起電極 12 が規定の寸法形状より大きい場合は、突起電極 12 が検査凹部 17 内に挿入されず、突起電極 12 の位置ずれ及び突起電極 12 の形状不良であることを判定できる。

【0072】また、フォーミング基板 16 は、半導体装置 11 の突起電極 12 が検査凹部 17 内に嵌合されることにより、突起電極 12 を成形することができる。突起電極 12 は半田等により球状に形成されるが、製造過程で所定の球状にならず、いびつな形状になったり、あるいは球状の一部に引っ張りができる等することがある。そのような場合、フォーミング基板 16 の方が突起電極 12 よりも硬い材質であるため、突起電極 12 は検査凹部 17 内に嵌合された状態で押圧されると、突起電極 12 の形状を検査凹部 17 の形状に合うように成形される。

【0073】そのため、突起電極 12 が形状不良である場合でも、検査工程で突起電極 12 の外形が検査凹部 17 の形状に成形されることになり、突起電極 12 の形状不良を減少させることができる。よって、検査工程における突起電極 12 の形状不良率を下げるができる。

【0074】18 は測定基板で、上記フォーミング基板 16 の下方に位置するように配設されている。測定基板

14

18 の上面には、複数の検査凹部 17 の底部中心に対向するように各検査凹部 17 と同一の配列で複数の測定端子 19（19i ~ 19n）が配設されている。尚、各測定端子 19（19i ~ 19n）は、ほぼ半球状に形成され、測定基板 18 上に形成された配線層 20 より突出するように設けられている。

【0075】上記各測定端子 19（19i ~ 19n）は、夫々半導体装置 11 の電氣的動作を試験するための端子であり、図 2 に示されるようにフォーミング基板 16 の検査凹部 17（17i ~ 17n）の底部中心に設けられた孔 17a と一致して検査凹部 17（17i ~ 17n）内に突出するように設けられている。

【0076】また、フォーミング基板 16 と測定基板 18 とは、積重された状態で半導体試験装置 10 に装着されている。そのため、半導体装置 11 が固定治具 13 に保持された状態のまま降下されると、図 3 に示されるようにフォーミング基板 16 の各検査凹部 17 に挿入された突起電極 12 の端部が測定基板 18 上の各測定端子 19 に当接して電氣的に接続され、半導体装置 11 の試験が可能となる。

【0077】21 は上記フォーミング基板 16 及び測定基板 18 を保持するステージで、固定治具 13 の下方に対向して設けられている。また、ステージ 21 の上面には、フォーミング基板 16 及び測定基板 18 を所定装着位置に保持するための保持部 22 が設けられている。

【0078】さらに、ステージ 21 の下部には、半導体装置 11 に対するフォーミング基板 16 及び測定基板 18 の位置を調整するための調芯機構 23 が設けられている。この調芯機構 23 は、上記調芯機構 15 と同様な構成とされており、例えばステージ 21 の下面の中央から下方に突出するロッド 23a の端部に設けられた球状支持部 23b と、球状支持部 23b が嵌合する軸受部 23c とよりなる。

【0079】そのため、調芯機構 23 は、球状支持部 23b と軸受部 23c とにより自在継手と同様な構成とされている。例えば、半導体装置 11 が傾いた状態で装着された場合、フォーミング基板 16 にはステージ 21 を傾斜させるような力が作用する。しかしながら、調芯機構 23 の球状支持部 23b が傾いてフォーミング基板 16 が半導体装置 11 に追従するため、フォーミング基板 16 を保持するステージ 21 を固定治具 13 と平行な状態に調整する。これにより、フォーミング基板 16 及び測定基板 18 の損傷が防止される。

【0080】ここで、上記のように構成された半導体試験装置 10 を使用して半導体装置 11 を検査、試験する場合の動作について説明する。尚、図 4 は半導体装置 11 がフォーミング基板 16 から離間した状態を示し、図 5 は半導体装置 11 がフォーミング基板 16 に近接された状態を示す。

【0081】半導体装置 11 は、ハンドリング装置（図

示せず)により固定治具 13 の下方に搬送されると、図 4 に示されるように吸着部 14 により吸着されて固定治具 13 の下面に保持される。尚、固定治具 13 の下面に保持される際、半導体装置 11 の吸着位置が所定位置に位置決めされる。これにより、半導体装置 11 はフォーミング基板 16 の上方で対向する。

【0082】次に、固定治具 13 及び半導体装置 11 が昇降機構の降下動作により A 方向に降下してステージ 20 上に保持されたフォーミング基板 16 に近接する。そして、図 5 に示されるように、固定治具 13 の降下動作と共に半導体装置 11 の下面に突出する各突起電極 12 (12_i ~ 12_n) の夫々がフォーミング基板 16 の上面に形成された各検査凹部 17 (17_i ~ 17_n) に嵌合する。

【0083】このとき、各突起電極 12 (12_i ~ 12_n) の外観形状及び位置が各検査凹部 17 (17_i ~ 17_n) との嵌合により検査される。複数の突起電極 12 (12_i ~ 12_n) のうち一つでも規定の寸法形状よりも大きい場合、あるいは一つでも所定の配列からずれた位置にある場合には、その突起電極 12 が検査凹部 17 内に挿入されずフォーミング基板 16 の上面に乗り上げた状態となる。

【0084】この場合、各突起電極 12 (12_i ~ 12_n) が各検査凹部 17 (17_i ~ 17_n) の底部に位置する各測定端子 19 (19_i ~ 19_n) に接続されないため、突起電極 12 の形状不良であることを判定できる。また、各突起電極 12 (12_i ~ 12_n) の外観形状及び位置が正確である場合には、各突起電極 12 (12_i ~ 12_n) が各検査凹部 17 (17_i ~ 17_n) 内に嵌合して各測定端子 19 (19_i ~ 19_n) に接続される。そして、半導体装置 11 の電気的動作試験が行われる。

【0085】このように、半導体装置 11 の各突起電極 12 (12_i ~ 12_n) をフォーミング基板 16 の各検査凹部 17 (17_i ~ 17_n) に嵌合させることにより、半導体装置 11 の電気的動作試験と半導体装置 11 の下面に設けられた複数の突起電極 12 (12_i ~ 12_n) の外観形状及び配列位置検査とを同時に行うことができるので、試験、検査時間を大幅に短縮することができる。

【0086】また、複数の突起電極 12 の外観形状は、夫々対向配置された複数の検査凹部 17 をゲージとして検査されるため、検査員による目視検査あるいは光学的に突起電極 12 の突出高さを測定する方法よりも信頼性が高められている。また、半導体装置 11 の試験と突起電極 12 の検査とを別々に行うよりも検査コストを安価に抑えることができる。

【0087】さらに、突起電極 12 が所定の球状でなくいびつな形状である場合、フォーミング基板 16 は半導体装置 11 の突起電極 12 が検査凹部 17 内に嵌合され

た状態で押圧することにより、突起電極 12 の外形を検査凹部 17 の形状に成形することができる。

【0088】すなわち、半導体試験装置 10 では、上記突起電極 12 の形状検査及び半導体装置 11 の電気的動作試験を行うと共に、突起電極 12 の外形を検査凹部 17 に合った形状に成形することができる。そのため、検査工程で突起電極 12 の外形が検査凹部 17 の形状に成形され、突起電極 12 の形状不良を減少させることができる。

【0089】そして、試験、検査終了後は、固定治具 13 及び半導体装置 11 が昇降機構の上昇動作により B 方向に上昇してステージ 20 上に保持されたフォーミング基板 16 から離間する。固定治具 13 及び半導体装置 11 が図 4 に示す位置に復帰すると、吸着部 14 の吸着動作が停止すると共にハンドリング装置 (図示せず) により半導体装置 11 が半導体試験装置 10 から取り出される。

【0090】図 6 は上記測定端子 19 の第 1 の変形例を分解して示す縦断面図である。図 6 において、測定端子 25 は測定基板 18 の上面に上記測定端子 19 を突出させる代わりに配線層 20 と同一高さ、すなわちプリントされた配線層 20 の銅箔パターンと同一の膜厚により形成されている。そして、フォーミング基板 16 の検査凹部 17 の底部中心には、上記孔 17a よりも十分に大径とされた孔 17b が設けられている。

【0091】そのため、検査凹部 17 内に突起電極 12 が嵌合されると球状に形成された突起電極 12 の先端部分が配線層 20 と同一高さの測定端子 25 に接続される。これにより、半導体装置 11 の電気的動作試験が行われる。また、半導体装置 11 の突起電極 12 がフォーミング基板 16 の検査凹部 17 内に嵌合された状態で押圧されることにより、上記半導体装置 11 の電気的動作試験を行うと共に、突起電極 12 の形状検査及び突起電極 12 の成形が行われる。

【0092】この場合、測定端子 25 が配線層 20 から上方に突出しないため、突起電極 12 は平坦な測定端子 25 に接触することになり、突起電極 12 の損傷が防止される。図 7 は上記測定端子 19 の第 2 の変形例を分解して示す縦断面図である。

【0093】図 7 において、測定端子 26 は、小径なピン形状に形成されており、測定基板 18 の上面より突出し、且つ上下方向に移動可能に設けられている。すなわち、測定端子 26 は上下動可能に支持された支持部材 27 上に設けられている。支持部材 27 は測定基板 18 に穿設された収納孔 18a 内に収納されたコイルバネ 28 により上方に付勢されており、測定端子 26 はコイルバネ 28 を介して配線層 20 に接続されている。また、測定端子 26 の先端は、下方から検査凹部 17 の孔 17a に挿入され、検査凹部 17 内に突出している。

【0094】そのため、突起電極 12 が検査凹部 17 内

17

に嵌合されると、突起電極 12 の端部が測定端子 26 に当接して電氣的に接続されると共に、測定端子 26 を下方に押圧する。その際、コイルバネ 28 が圧縮されて測定端子 26 が下方に移動するため、突起電極 12 はコイルバネ 28 のバネ力により確実に測定端子 26 に接続されると共に、降下動作により衝撃が緩和されて測定端子 26 との当接部分が損傷することが防止される。

【0095】図 8 は上記測定端子 19 の第 3 の変形例を分解して示す縦断面図である。図 8 において、測定端子 29 は、検査凹部 17 の底部中心に設けられた孔 17 a の周縁部の全周に被覆形成されており、検査凹部 17 の底部内面に蒸着された導電性皮膜 29 a と、フォーミング基板 16 の下面に蒸着された導電性皮膜 29 b とよりなる。従って、測定端子 29 は、検査凹部 17 の内面とフォーミング基板 16 の下面に連続的に被覆形成されている。

【0096】そのため、突起電極 12 が検査凹部 17 内に嵌合されると、突起電極 12 の表面が測定端子 29 の導電性皮膜 29 a の全面に当接して接続される。よって、突起電極 12 は、測定端子 29 を介して配線層 20 に電氣的に接続される。また、測定端子 29 は薄膜であるため、突起電極 12 の嵌合動作を妨げることがなく、しかも突起電極 12 が検査凹部 17 内に嵌合されたとき突起電極 12 の表面を損傷させることもない。

【0097】図 9 は本発明の第 2 実施例である半導体試験装置 31 を上下方向に分解して示す図である。半導体試験装置 31 の固定治具 13 は、半導体装置 11 を保持する位置を規制するための位置決め部 32 が下面に設けられている。この位置決め部 32 は、断面形状が三角形とされており、半導体装置 11 の上面外周の角部 11 a が摺接する傾斜面 32 a を有する。この傾斜面 32 a は半導体装置 11 の上面外周の各四辺に上方から当接するように形成されている。

【0098】半導体装置 11 は、ハンドリング装置（図示せず）により装着されたとき、傾いた状態で保持されることがある。その場合、固定治具 13 が降下して半導体装置 11 の突起電極 12 が検査凹部 17 内に嵌合される過程で、位置決め部 32 の傾斜面 32 a に上面外周の各四辺の角部 11 a が摺接して均等に当接するようにガイドされる。

【0099】よって、半導体装置 11 は、上面外周の角部 11 a が位置決め部 32 の傾斜面 32 a を摺接しながら固定治具 13 の中心位置に導かれると共に、フォーミング基板 16 と平行な状態となるように位置決めされる。これにより、半導体装置 11 の各突起電極 12 は、フォーミング基板 16 の各検査凹部 17 に正確に嵌合することができる。そのため、半導体装置 11 の試験及び突起電極 12 の検査の信頼性の向上が図られている。

【0100】図 10 は本発明の第 3 実施例である半導体試験装置 41 を上下方向に分解して示す図である。半導

18

体試験装置 41 のフォーミング基板 16 は、半導体装置 11 の装着位置を規制するための位置決め部 42 が上面に設けられている。この位置決め部 42 は、断面形状が台形とされており、半導体装置 11 の下面外周の角部 11 b が摺接する傾斜面 42 a を有する。この傾斜面 42 a は半導体装置 11 の下面外周の各四辺に下方から当接するように形成されている。

【0101】半導体装置 11 は、固定治具 13 に吸着されたとき、傾いた状態で保持されることがある。その場合、固定治具 13 が降下して半導体装置 11 の突起電極 12 が検査凹部 17 内に嵌合される過程で、位置決め部 42 の傾斜面 42 a に半導体装置 11 の下面外周の各四辺の角部 11 b が摺接して均等に当接するようにガイドされる。

【0102】よって、半導体装置 11 は、下面外周の角部 11 b が位置決め部 42 の傾斜面 42 a を摺接しながらフォーミング基板 16 の中心位置に導かれると共に、フォーミング基板 16 と平行な状態となるように位置決めされる。これにより、半導体装置 11 の各突起電極 12 は、フォーミング基板 16 の各検査凹部 17 に正確に嵌合することができる。そのため、半導体装置 11 の試験及び突起電極 12 の検査の信頼性の向上が図られている。

【0103】図 11 は本発明の第 4 実施例である半導体試験装置 51 を示す図である。半導体試験装置 51 は、半導体装置 11 を保持する固定治具 13 の昇降動作をガイドして半導体装置 11 の装着位置を位置決めする位置決め機構 52 を有する。この位置決め機構 52 は、ステージ 21 の上面に起立するガイドピン 53 と、固定治具 13 に設けられガイドピン 53 が挿通されるガイド孔 54 とよりなる。

【0104】また、位置決め機構 52 は、固定治具 13 及びステージ 21 の四隅に設けられており、半導体装置 11 が水平状態のまま昇降するように固定治具 13 の昇降動作をガイドすると共に、フォーミング基板 16 に対する半導体装置 11 の装着位置を所定位置に位置決めする。

【0105】これにより、半導体装置 11 の各突起電極 12 は、フォーミング基板 16 の各検査凹部 17 に正確に嵌合することができる。そのため、半導体装置 11 の試験及び突起電極 12 の検査の信頼性の向上が図られている。図 12 は本発明の第 5 実施例である半導体試験装置 61 を示す図である。

【0106】半導体試験装置 61 では、固定治具 13 の下面 13 a に半導体装置 11 を所定の吸着位置に導く固定治具側位置決め部 62 が設けられている。この位置決め部 62 は、半導体装置 11 の上面外周の角部 11 a が摺接する傾斜面 62 a を有する。この傾斜面 62 a は半導体装置 11 の上面外周の各四辺に上方から当接するように形成されている。

【0107】本実施例では、固定治具13の下面13aが半導体装置11の上面と同じ寸法に形成されている。そのため、半導体装置11がずれていると、ずれた方向の角部11aが傾斜面62aに乗り上げることになる。そして、半導体装置11は吸着されると共に、傾斜面62aに沿って固定治具13の下面13aに当接するように変位する。

【0108】また、半導体試験装置61は、フォーミング基板16を半導体装置11に追従させて位置決めするステージ側位置決め機構63を有する。この位置決め機構63は、ステージ21の上面に起立するガイドピン64と、フォーミング基板16に設けられガイドピン64が挿通されるガイド孔65とよりなる。尚、ガイドピン64は、測定基板18の孔18aにも挿通され、測定基板18の装着位置を位置決めしている。

【0109】位置決め機構63は、フォーミング基板16及びステージ21の四隅に設けられており、フォーミング基板16をコイルバネ（図示せず）等により上方に付勢してフォーミング基板16をフローティング状態で支持する。また、位置決め機構63は、ガイドピン64がガイド孔65に遊嵌状態で挿通されているので、フォーミング基板16を水平方向に移動可能に支持している。

【0110】ここで、固定治具13の下面13aに保持された半導体装置11が降下すると、半導体装置11の各突起電極12がフォーミング基板16の各検査凹部17に嵌合して突起電極12の形状検査が行なわれる。さらに、半導体装置11が降下すると共にフォーミング基板16も降下して測定基板18の上面に当接する。

【0111】これで、各突起電極12は、測定基板18上に設けられた各測定端子19に接続され、半導体装置11の電気的動作試験が行われる。また、フォーミング基板16と半導体装置11との相対位置がずれていた場合、各突起電極12が各検査凹部17に嵌合できない。しかしながら、この半導体試験装置61では、ガイドピン64がガイド孔65に遊嵌しているため、フォーミング基板16が水平方向に変位することが可能である。そのため、半導体装置11の降下動作と共に、フォーミング基板16は各突起電極12が各検査凹部17に嵌合する位置に変位する。

【0112】このように、フォーミング基板16は水平状態のまま昇降すると共に、半導体装置11に対するフォーミング基板16の水平方向の位置を調整して各突起電極12を各検査凹部17に嵌合させるように動作する。これにより、半導体装置11の各突起電極12は、フォーミング基板16の各検査凹部17に正確に嵌合することができる。そのため、半導体装置11の試験及び突起電極12の検査の信頼性の向上が図られている。

【0113】図13は本発明の第6実施例である半導体試験装置71を示す図である。半導体試験装置71は、

固定治具13の下面13aにゲル状の緩衝材72が固着されている。この平板状に形成された緩衝材72は、比較的柔らかくて変形しやすいため、外部からの押圧力が作用すると、その部分が押圧方向に変形する。また、試験終了後に半導体装置11が外されると、緩衝材72への押圧力が除去されるため、緩衝材72は元の平板状に戻る。

【0114】そのため、固定治具13の下面13aに吸着された半導体装置11を降下させる過程で、フォーミング基板16が半導体装置11に対して傾いている場合、フォーミング基板16が半導体装置11に傾いた状態で当接するため、緩衝材72は半導体装置11とフォーミング基板16とが平行となるように変形する。

【0115】例えばフォーミング基板16が傾いていた場合、固定治具13に吸着された半導体装置11を傾斜させるような力が作用する。しかしながら、緩衝材72の変形により半導体装置11がその方向に傾いてフォーミング基板16に追従するため、フォーミング基板16と半導体装置11とが平行に保たれる。

【0116】そのため、半導体装置11の各突起電極12は、フォーミング基板16の各検査凹部17に正確に嵌合することができる。よって、半導体装置11の試験及び突起電極12の検査の信頼性の向上が図られている。また、各突起電極12が各検査凹部17に嵌合される際の衝撃が緩衝材72により緩衝されるため、半導体装置11及びフォーミング基板16の損傷が防止される。

【0117】図14は本発明の第7実施例である半導体試験装置73を示す図である。半導体試験装置73は、フォーミング基板16の上面16aにゲル状の緩衝材74が固着されている。この緩衝材74は、各検査凹部17が設けられている部分の外側を囲むように枠状に形成されており、外部からの押圧力が作用すると、その部分が押圧方向に変形する。また、試験終了後に半導体装置11が上方して離間すると、緩衝材74への押圧力が除去されるため、緩衝材74は元の形状に戻る。

【0118】例えば半導体装置11が傾いて装着されていた場合、フォーミング基板16を傾斜させるような力が作用する。しかしながら、押圧された部分の緩衝材74の変形により半導体装置11がその方向に傾いてフォーミング基板16の向きに追従するため、フォーミング基板16と半導体装置11とが平行に保たれる。

【0119】そのため、半導体装置11の各突起電極12は、フォーミング基板16の各検査凹部17に正確に嵌合することができる。よって、半導体装置11の試験及び突起電極12の検査の信頼性の向上が図られている。また、各突起電極12が各検査凹部17に嵌合される際の衝撃が緩衝材74により緩衝されるため、半導体装置11及びフォーミング基板16の損傷が防止される。

【0120】図15は本発明の第8実施例である半導体試験装置75を示す図である。半導体試験装置75は、測定基板18とフォーミング基板16との間にゲル状の緩衝材76が設けられている。この緩衝材76は、各測定端子19が設けられている部分の外側を囲むように枠状に形成されており、外部からの押圧力が作用すると、その部分が押圧方向に変形する。また、試験終了後に半導体装置11が上方して離間すると、緩衝材76への押圧力が除去されるため、緩衝材76は元の形状に戻る。

【0121】例えば半導体装置11が傾いて装着されていた場合、フォーミング基板16を傾斜させるような力が作用する。しかしながら、押圧された部分の緩衝材76の変形によりフォーミング基板16がその方向に傾いて半導体装置11の向きに追従するため、フォーミング基板16と半導体装置11とが平行に保たれる。

【0122】そのため、半導体装置11の各突起電極12は、フォーミング基板16の各検査凹部17に正確に嵌合することができる。よって、半導体装置11の試験及び突起電極12の検査の信頼性の向上が図られている。また、各突起電極12が各検査凹部17に嵌合される際の衝撃が緩衝材76により緩衝されるため、半導体装置11及びフォーミング基板16の損傷が防止される。

【0123】図16は本発明の第9実施例である半導体試験装置77を示す図である。半導体試験装置77は、測定基板18とステージ21との間にゲル状の緩衝材78が設けられている。この緩衝材78は、平板状に形成されており、外部からの押圧力が作用すると、その部分が押圧方向に変形する。また、試験終了後に半導体装置11が上方して離間すると、緩衝材78への押圧力が除去されるため、緩衝材78は元の形状に戻る。

【0124】例えば半導体装置11が傾いて装着されていた場合、フォーミング基板16及び測定基板18を傾斜させるような力が作用する。しかしながら、押圧された部分の緩衝材78の変形によりフォーミング基板16及び測定基板18がその方向に傾いて半導体装置11の向きに追従するため、フォーミング基板16と半導体装置11とが平行に保たれる。

【0125】そのため、半導体装置11の各突起電極12は、フォーミング基板16の各検査凹部17に正確に嵌合することができる。よって、半導体装置11の試験及び突起電極12の検査の信頼性の向上が図られている。また、各突起電極12が各検査凹部17に嵌合される際の衝撃が緩衝材76により緩衝されるため、半導体装置11及びフォーミング基板16、測定基板18の損傷が防止される。

【0126】また、フォーミング基板16には、測定基板18から起立するガイドロッド79が挿通されるガイド孔16bが設けられている。そのため、フォーミング基板16は、ガイドロッド79により水平状態のまま上

下動可能に支持され、且つ水平方向の移動を規制されて所定位置に位置決めされている。

【0127】図17は本発明の第10実施例である半導体試験装置80を示す側面図、図18は半導体試験装置80の平面図である。半導体試験装置80は、半導体装置11の下面に突出する複数の突起電極12の配列に対応した配列で複数の検査ユニット81(81a~81n)が配設されている。この検査ユニット81の上端には、突起電極12に対向する測定端子82が設けられている。すなわち、複数の測定端子82は上記フォーミング基板16を各突起電極12毎に分割したものである。

【0128】各検査ユニット81は、図18に拡大して示すように測定端子82の上面に突起電極12の外観形状に対応する球状の検査凹部83が形成されている。また、測定端子82は、導電材により形成されているため、突起電極12が検査凹部83に挿入された時点で突起電極12と電気的に接続される。

【0129】従って、突起電極12は検査凹部83に嵌合されると、その外観形状が検査されると共に、電気的動作試験が行われるため、試験、検査時間を短縮することが可能になる。さらに、測定端子82は、収納ケース84内に収納されたコイルバネ85のバネ力により上方に付勢されており、突起電極12が規定の寸法形状よりも大きい場合、コイルバネ85が圧縮される構成となっている。尚、収納ケース84は、各突起電極12が近接配置され、隣接する収納ケース84に接触するため、絶縁材により形成されている。

【0130】また、測定端子82は下方に延在するロッド86を有しており、ロッド86は収納ケース84内に支持された中空状のガイド部87の中空孔(図示せず)内に摺動自在に挿入されている。尚、ロッド86の下部は、収納ケース84の底部を貫通して下方に突出している。

【0131】収納ケース84の上端には、測定端子82の下面に当接して測定端子82の衝撃を緩和する緩衝材88が設けられている。本実施例では、各測定端子82が個別に昇降可能に支持されているため、例えば半導体装置11が傾いた状態で装着された場合でも測定端子82が各個に下方に押圧されて変位することができるので、半導体装置11の装着状態にかかわらず各突起電極12を各測定端子82の検査凹部83に嵌合させることができ、各突起電極12の形状検査及び半導体装置11の電気的動作試験を同時に行うことができる。

【0132】図20は本発明の第11実施例である半導体試験装置91を示す側面図である。半導体試験装置91は、上記各検査ユニット81の収納ケース84の外周に絶縁体92を被覆してなる。そのため、収納ケース84を導電材により形成することが可能になる。

【0133】本実施例では、各突起電極12が各測定端

子82の検査凹部83に嵌合された後、各測定端子82が各突起電極12に押圧されて下動することにより収納ケース84の上端に接触する。これにより、各突起電極12は電氣的に接続されて半導体装置11の電氣的動作試験が可能になる。

【0134】また、各突起電極12が各測定端子82の検査凹部83に嵌合されることにより各突起電極12の外観形状が検査され、その後各測定端子82が収納ケース84の上端に接触する位置まで変位して半導体装置11の電氣的動作試験が行われるため、突起電極12の外観検査と半導体装置11の動作試験とを個別に行うことができる。そのため、突起電極12の検査及び半導体装置11の試験の信頼性の向上を図ることができる。

【0135】図21は本発明の第12実施例である半導体試験装置の要部を拡大して示す図である。本実施例では、測定基板18に形成されている測定端子100に突起状端子101を形成したことを特徴とするものである。突起状端子101は、例えばワイヤボンディング法を用いて形成されるスタッドバンプである。また、本実施例では測定端子100は平板状の形状、即ち測定基板18に形成されたパターンにより形成されている。

【0136】この突起状端子101をワイヤボンディング法により形成するには、先ずワイヤボンディング装置に設けられたキャビラリを用いて測定端子100上に所謂ネイルヘッド部を形成し、その後キャビラリを若干量上動させた上でワイヤを切断する。これだけの簡単な処理により突起状端子101は形成される。

【0137】このように、突起状端子101を測定端子100の上面に形成することにより、測定端子100は実質的に測定基板18から上部に突出した構造となる。そして、測定基板18から上部に突出した部位である突起状端子101が検査凹部17内に進入し突起電極12と接続することとなる。よって、測定端子100の保護を図りつつ、測定端子100と突起電極12との電気接続性を向上させることができる。

【0138】また本実施例では、突起状端子101をスタッドバンプにより形成したことにより、半導体装置の製造技術として一般に用いられているワイヤボンディング技術を用いて突起状端子101を形成することができる。よって、低コストでかつ作成効率よく突起状端子101を形成することができる。

【0139】また、通常スタッドバンプはその先端部にワイヤ切断による小突起が形成され、この小突起は尖った形状となるため、これによっても測定端子100（突起状端子101）と突起電極12との電気接続性を向上させることができる。図22及び図23は第12実施例の変形例を示している。図22は、突起状電極101Aを複数（本変形例では3個）のスタッドバンプを多段に積層した構造としたものである。同図に示すように、複数のスタッドバンプを積層することは可能であり、複

数個のスタッドバンプを積層することにより、突起状電極101Aの突起量を高くすることができる。

【0140】よって、使用するフォーミング基板16の構成や突起電極12の径寸法等に最適な高さの突起状電極101Aを設けることができ、突起電極12との電氣的接続性を向上することができる。図23は、異種の金属よりなる複数のスタッドバンプを複数個多段に形成することにより突起状電極101Bを構成したものである。本変形例では、スタッドバンプを3層に積層した構造とされており、またその最先端部のスタッドバンプ102aの材料はパラジウム（Pd）とされており、また他のスタッドバンプ102b、102cの材料は金（Au）とされている。

【0141】このように、最先端部のスタッドバンプ102aの材料をパラジウム（Pd）としたのは、一般に半導体装置の突起電極12には半田メッキがされており、半田との適合性を考慮したものである。また、他のスタッドバンプ102b、102cの材料を金（Au）にしたのは、測定端子100の材質が銅（Cu）であり、この銅（Cu）と先端部のスタッドバンプ101aの材料であるパラジウム（Pd）との双方に対する適合性を考慮したものである。

【0142】上記のように、異種の金属よりなる複数のスタッドバンプを複数個多段に形成し突起状電極101Bを構成したことにより、最先端部に配設されるスタッドバンプ102aの材料を突起電極12に対し適合性の良いものに選定でき、また最先端部以外のスタッドバンプ102b、102cの材料は測定端子100或いは最先端部に配設されスタッドバンプ102aに対し適合性の良いものに選定できる。

【0143】これにより、最先端部に配設されたスタッドバンプ102aと突起電極12との接続性、各スタッドバンプ102a～102c間の接続性、及びスタッドバンプ102cと測定端子100との接続性を共に良好なものとすることができる。図24は本発明の第13実施例である半導体試験装置の要部を拡大して示す図である。本実施例では、測定基板18に形成されている測定端子105の表面部に粗化面106を形成したことを特徴とするものである。

【0144】この粗化面106は、測定基板18に例えばプリント形成された測定端子105の表面部にブラスト加工、或いは化学的粗加工（例えば、強酸に浸漬）することにより形成される。このように、測定端子105の表面部に形成された粗化面106は微細な凹凸が形成された状態であるため、その表面積は広くなり、突起電極12が当接した時点でこの微細な凸部は突起電極12に食い込んだ状態となるため、測定端子105と突起電極12との電氣的接続を確実に行うことができる。

【0145】図25は本発明の第14実施例である半導体試験装置の要部を拡大して示す図である。本実施例で

25

は、測定基板18に形成されている測定端子100の表面部に異種金属膜107を形成したことを特徴とするものである。異種金属膜107は、測定端子100の材料とは異なる材料である金属膜である。具体的には、測定端子100は銅(Cu)であり、異種金属膜107の材料としては測定端子100の材料とは異なる例えばパラジウム(Pd)が選定されている。

【0146】本実施例において異種金属膜107の材料としてパラジウム(Pd)を選定したのは、前記した図23を用いて説明したと同様の理由である。即ち、一般に半導体装置の突起電極12には半田メッキがされておりこの半田との適合性と、銅よりなる測定端子100との適合性の双方を両立させる材料としてパラジウム(Pd)を選定している。

【0147】このように、測定端子100の表面部に測定端子100及び突起電極12の双方に適合性を有した異種金属膜107を形成することにより、測定端子100と突起電極12が接合性の不良なものであっても、その間に介在する異種金属膜107により測定端子100と突起電極12との間における電氣的接合性の向上を図ることができる。また、測定端子100は異種金属膜107により覆われた構成となるため、測定端子100の保護を図ることもできる。

【0148】図26は本発明の第15実施例である半導体試験装置の要部を拡大して示す図である。本実施例では、フォーミング基板16に形成されている検査凹部110の形状を円錐形状としている。このように、フォーミング基板16に形成されている検査凹部110の形状は半球形状に限定されるものではなく、形状検査を行ないうる形状であれば他の形状としてもよい。

【0149】具体的には、検査凹部110の形状を上記の円錐形状の他に角錐形状とすることも可能である。尚、突起電極12のフォーミング性の面からは半球形状が望ましく、また検査凹部110の形成性の面からは円錐形状、角錐形状の方が望ましい。

【0150】また本実施例では、測定端子構造をフレキシブル構造とされた端子シート部111と、この端子シート部111の下部に位置すると共にフォーミング基板16の検査凹部110と対向する位置に凸部114を形成した基台113とにより構成したことを特徴とする。

【0151】端子シート部111は例えばフレキシブル回路基板により形成されており、所定位置には測定端子112のパターンが形成されている。また、端子シート部111は基台113に装着された状態において、凸部114が測定端子112をその背面側から上方に向けて押し出すよう構成されている。よって、測定端子112は他の部位に比べて突出した端子形状となるため、突起電極12との電氣的接続を確実にこなうことができる。

【0152】また、測定端子112はフレキシブル構造とされた端子シート部111に形成されるため、前記基

26

台113に測定端子112を直接配設する必要はなく、かつ端子シート部111の形成はフレキシブル回路基板の形成に準じて行なうことができるため、容易かつ安価に形成することができる。

【0153】図27は本発明の第16実施例である半導体試験装置の要部を拡大して示す図である。本実施例では、半導体装置11に配設されている突起電極12と、フォーミング基板16に形成されている検査凹部17との位置決めを行なう方法に特徴を有するものである。具体的には、本実施例ではフォーミング基板16に振動発生装置115が接続されており、この振動発生装置115を駆動することによりフォーミング基板16を振動させることができる。

【0154】フォーミング基板16を振動させることにより、半導体装置11はフォーミング基板16上で相対的に移動(振動)し、やがてフォーミング基板16に形成されている検査凹部17に突起電極12は嵌入して位置決めされる。よって、突起電極12と検査凹部17の位置決めを容易かつ自動的にこなうことができる。

【0155】図28は本発明の第17実施例である半導体試験装置の要部を拡大して示す図である。本実施例では、フォーミング基板116に真空吸引装置(真空ポンプ)に接続された吸引通路118が形成されており、この吸引通路118は検査凹部17内に吸引口117を有した構成とされている。従って、真空ポンプを駆動して吸引通路118を介して吸引口117より突起電極12を吸引することにより、突起電極12は強制的に検査凹部17内に吸引され、よって検査凹部17に突起電極12を精度良く位置決めすることができる。

【0156】図29は本発明の第18実施例である半導体試験装置の要部を拡大して示す図である。本実施例では、フォーミング基板119を多孔質材料により形成すると共にこのフォーミング基板119を真空吸引装置(真空ポンプ)に接続した構成としたことを特徴とするものである。

【0157】上記構成において真空ポンプを駆動すると、フォーミング基板119は多孔質材料により形成されているため、半導体装置11はその全面においてフォーミング基板119に吸引され、よって突起電極12は窪んだ形状の検査凹部17内に嵌入する。よって、検査凹部17に突起電極12を精度良く位置決めすることができる。

【0158】図30は本発明の第19実施例である半導体試験装置の要部を拡大して示す図である。本実施例では、半導体装置11をフォーミング基板135に沿って水平移動させる移動装置120を設け、この移動装置120により半導体装置11を水平移動させる構成としたことを特徴とするものである。

【0159】この移動装置120は、その先端部に鉤状の爪部120aを有し、この爪部120aが半導体装置

11の側面と係合する構成とされている。従って、移動装置120を同図に示す矢印方向に移動させることにより、半導体装置11も同方向に移動する。

【0160】このように、移動装置120により半導体装置11を移動付勢しうる構成とすることにより、半導体装置11の移動に伴いやがて突起電極12はフォーミング基板135に形成されている検査凹部130に嵌入し位置決めされることとなる。よって、簡単かつ確実に突起電極12と検査凹部130との位置決め処理を行なうことができる。

【0161】一方、本実施例に係る検査凹部130は、勾配の異なる第1及び第2の傾斜面により形成されている。そして、勾配の緩やかな第1の傾斜面を突起電極12を案内する案内面131とし、また勾配が急な第2の傾斜面を突起電極12を係止する係止面132としている。更に、案内面131と係止面132との間には、突起電極12の位置決めを行なう位置決め面133が形成されている。

【0162】よって、移動装置120により半導体装置11に形成された突起電極12が検査凹部130の形成位置に至ると、先ず突起電極12は案内面131に案内され進行し、続いて係止面132に係止されて位置決めされる。そして、係止面132に係止された状態で下動して位置決め面133に嵌入する。

【0163】このように、検査凹部130に案内面131、係止面132、及び位置決め面133を形成することにより、簡単かつ確実に突起電極12と検査凹部130との位置決め処理を行なうことができる。図31は本発明の第20実施例である半導体試験装置の要部を拡大して示す図である。本実施例で用いる検査凹部130は、前記した第19実施例と同様に、突起電極12を案内する案内面131と、突起電極12を係止する係止面132と、この案内面131と係止面132との間に形成され突起電極12の位置決めを行なう位置決め面133とを有した構成とされている。

【0164】しかるに、本実施例では第19実施例のように移動装置120を用いて半導体装置11を移動付勢するのではなく、フォーミング基板135を傾ける（図31（A）では角度 θ 傾けた状態を示している）ことにより、半導体装置11を重力により移動付勢する構成としたことを特徴とするものである。

【0165】上記構成において、突起電極12と検査凹部130の位置決めを行なうには、半導体装置11をフォーミング基板135に載置した上で、このフォーミング基板135を傾ける。これにより、半導体装置11は自重によりフォーミング基板135上を移動し、突起電極12は検査凹部130の形成位置に至る。

【0166】すると、先ず図31（A）に示されるように、突起電極12は案内面131に案内され進行する。続いて、図31（B）に示されるように、突起電極12

は係止面132に係止されて位置決めされる。そして、図31（C）に示されるように、突起電極12は係止面132に係止された状態で下動して位置決め面133に嵌入する。

【0167】このように、検査凹部130に案内面131、係止面132、及び位置決め面133を形成することにより、簡単かつ確実に突起電極12と検査凹部130との位置決め処理を行なうことができる。特に、第19実施例のように移動装置120を用いることなく突起電極12を検査凹部130に位置決めできるため、半導体検査装置の構成を簡便化することができる。

【0168】図32は本発明の第21実施例である半導体試験装置の要部を拡大して示す図である。本実施例は、フォーミング基板136の測定端子100（同図には図示せず）と対向する位置に第2の凹部138、139を形成したことを特徴とするものである。

【0169】この第2の凹部138、139は、検査凹部17（第1の凹部）の形成位置と対向する位置に形成されており、その形状は図32（A）に示されるように矩形或いは円盤状凹部でもよく、また図32（B）に示されるように検査凹部17の形状と略等しい形状（半球形状、円錐形状、三角錐形状等）としてもよい。

【0170】このように、フォーミング基板136の測定端子100と対向する位置に第2の凹部138、139を形成することにより、突起電極12がフォーミング基板136（検査凹部17）に嵌合した状態において、フォーミング基板136の下部に露出する突起電極12の表面積を広く設定することができる。

【0171】このように、フォーミング基板136から露出する突起電極12の表面積が広がることにより、測定端子100と突起電極12との電気的接続を確実に行なうことが可能となる。図35は本発明の第24実施例である半導体試験装置を示しており、また図36は本発明の第25実施例である半導体試験装置を示している。この第24及び第25実施例は、共に半導体装置11とフォーミング基板16との位置決めを行なう半導体位置決め機構を設けたことを特徴とするものである。

【0172】図35に示される第24実施例に係る基板位置決め機構は、半導体装置11に立設形成された位置決めピン145と、フォーミング基板16に穿設された位置決め孔146とにより構成されている。そして、位置決め孔146に位置決めピン145が挿通されるように半導体装置11フォーミング基板16に装着することにより、半導体装置11に形成された突起電極12はフォーミング基板16に形成された検査凹部17に精度良く一致するよう構成されている。

【0173】従って、単に位置決め孔146と位置決めピン145とが係合するように半導体装置11とフォーミング基板16とを位置決めして装着することにより、突起電極12と検査凹部17との位置決めを精度良く行

なうことができる。一方、図36に示される第25実施例に係る基板位置決め機構は、半導体装置11に穿設された位置決め溝148と、フォーミング基板16に立設形成された位置決めピン147とにより構成されている。そして、位置決めピン147が位置決め溝148に挿通されるよう半導体装置11をフォーミング基板16に装着することにより、半導体装置11に形成された突起電極12はフォーミング基板16に形成された検査凹部17に精度良く一致するよう構成されている。

【0174】従って、単に位置決めピン147と位置決め溝148とが係合するように半導体装置11とフォーミング基板16とを位置決めして装着することにより、突起電極12と検査凹部17との位置決めを精度良く行なうことができる。図37及び図38は、本発明に係る半導体装置及びその製造方法を示している。先ず、図37を用いて説明する。図37(A)は、球状の突起電極12が配設された半導体装置11を半導体試験装置(図では、半導体試験装置のフォーミング基板150のみ示す)に装着した状態を示している。

【0175】フォーミング基板150には、円錐形状とされた整形凹部151が形成されている。半導体装置11が半導体試験装置に装着された状態において、半導体装置11に設けられた球状の突起電極12は円錐形状とされた凹部151の内部に位置している。

【0176】この状態において、半導体装置11をフォーミング基板150に向け押圧する。これにより、突起電極12は整形凹部151に押し付けられ、整形凹部151の形状に対応した形状に整形される(整形された突起電極12を整形突起電極152という)。即ち、整形突起電極152は、整形凹部151の形状に対応した円錐形状を有した電極形状となる。図37(B)は、円錐形状を有した整形突起電極152が形成された半導体装置11を示している。

【0177】このように、整形突起電極152の形状を円錐形状とすることにより、整形突起電極152の先端は尖った形状となる。よって、この整形突起電極152を有した半導体装置11を実装基板(図示せず)に実装する場合には、先ず整形突起電極152の尖った先端部が実装基板に当接し、この部位に押圧力は集中する。このため、実装時には整形突起電極152の先端部から溶融して実装基板に接合されるため、効率よく確実に実装処理を行なうことができる。

【0178】一方、図38は本発明に係る半導体装置及びその製造方法の他実施例を示している。本実施例で用いるフォーミング基板155には、断面円形とされた整形孔156が形成されている。この整形孔156の径寸法は、球状とされた突起電極12の径寸法に比べて小さく設定されている。また、半導体装置11が半導体試験装置に装着された状態において、半導体装置11に設けられた球状の突起電極12は整形孔156の上部に位置

している。

【0179】この状態において、半導体装置11をフォーミング基板155に向け押圧する。これにより、突起電極12は整形孔156の内部に強制的に挿入され、整形孔156の形状に対応した形状に整形される(整形された突起電極12を整形突起電極157という)。

【0180】即ち、整形突起電極157は、整形孔156の形状に対応した円柱形状を有した電極形状となる。図38(B)は、円柱形状を有した整形突起電極157が形成された半導体装置11を示している。このように、整形突起電極157の形状を円柱形状とすることにより、整形突起電極157の先端は扁平状となり、よって実装基板との接触面積は広くなるため、確実な実装処理を行なうことが可能となる。

【0181】上記したように、本実施例によれば突起電極12は半導体試験装置を構成するフォーミング基板150、155に形成された整形凹部151或いは形成孔156に押し当てられ、整形凹部151或いは形成孔156の形状に沿った形状に整形される。これにより、半導体試験装置により半導体装置11に配設されている球状の特記電極12を球形状以外の形状を有した整形突起電極152、157に整形することが可能となり、よって整形突起電極152、157の形状を半導体装置11の実装態様に適した形状にすることができる。

【0182】尚、整形突起電極の形状は上記した円錐形状及び円柱形状に限定されるものではなく、フォーミング基板に形成される整形凹部の形状を適宜設定することにより、任意の形状とすることができる。また、上記した各実施例ではフォーミング基板に形成される整形凹部が突起電極の全周と係合する構成としたしたが、フォーミング基板の幅寸法を突起電極の径寸法より狭い構成とし、整形凹部が突起電極の外周一部と係合する構成としてもよい。

【0183】

【発明の効果】上述の如く本発明によれば、下記の種々の効果を実現することができる。請求項1記載の発明によれば、複数の突起電極の夫々が基板の凹部に嵌合することにより突起電極の端部が測定端子に電気的に接続されるため、各突起電極の形状を凹部との嵌合により検査することができると共に突起電極が測定端子に接続されることにより被試験半導体の電気的試験を行うことができる。

【0184】そのため、被試験半導体の試験及び突起電極の検査を同時に行うことが可能となり、検査工程での信頼性の向上と共に試験、検査時間の短縮化を図ることができる。よって、検査工程の自動化を促進することが可能になり、検査コストを低減することができる。

【0185】また、請求項2記載の発明によれば、複数の突起電極の夫々が基板の凹部に嵌合することにより突起電極を成形すると共に突起電極の形状検査を行うた

め、突起電極の形状が異なる場合でも基板の凹部に合った形状に成形され、突起電極の形状不良を減少させることができる。

【0186】よって、突起電極が基板の凹部内に嵌合された状態で押圧されることにより、電気的動作試験を行うと共に、突起電極の形状検査及び突起電極の成形を同時に行うことができ、検査時間の短縮化と共に不良率の削減を図ることができる。また、請求項3記載の発明では、複数の突起電極の夫々が基板の凹部に嵌合することにより突起電極の形状検査を行うと同時に、突起電極の端部が測定端子に電気的に接続され電気的動作試験を行うため、突起電極の検査工程が一工程で済むことになり、突起電極の検査時間を大幅に短縮することができる。よって、検査工程での検査効率を高めて検査コストを低減することができる。

【0187】また、請求項4記載の発明によれば、被試験半導体と基板とが平行状態を保つように位置調整を行う調芯機構を設けたため、上記請求項1と同様な効果が得られると共に、被試験半導体が傾いた状態で装着されても複数の突起電極の夫々を正確に凹部に嵌合させることができ、被試験半導体又は基板が損傷することを防止できる。これにより、被試験半導体の試験及び突起電極の検査の信頼性をより一層向上させることができる。

【0188】また、請求項5記載の発明によれば、位置決め機構により突起電極と凹部との相対位置が一致するように被試験半導体と基板との相対位置を規制するため、上記請求項1と同様な効果が得られると共に、複数の突起電極の夫々を正確に凹部に嵌合させることができ、被試験半導体の試験及び突起電極の検査の信頼性をより一層向上させることができる。

【0189】また、請求項6記載の発明によれば、基板をフローティング状態に設け、複数の突起電極の夫々が基板の凹部に嵌合することにより、突起電極と凹部との相対位置が一致するように被試験半導体に対する基板の位置を位置決めするため、複数の突起電極の夫々を正確に凹部に嵌合させることができ、被試験半導体の試験及び突起電極の検査の信頼性を向上させることができる。

【0190】また、請求項7記載の発明によれば、突起電極を基板の凹部に嵌合させることにより測定端子を下動させると共に突起電極が測定端子に接続されるため、上記請求項1と同様な効果が得られると共に、被試験半導体が傾いた状態で装着されても各測定端子が個別に上下動して被試験半導体の試験及び突起電極の検査を行うことができる。そのため、被試験半導体の装着状態に拘わらず、被試験半導体の試験及び突起電極の検査を安定的に行うことができる。

【0191】また、請求項8記載の発明によれば、緩衝材の弾性変形により基板と被試験半導体とが平行な状態で各突起電極を凹部に嵌合させることができ、また突起電極を基板の凹部に嵌合させる際の衝撃を緩衝材により

吸収することができ、被試験半導体又は基板が損傷することを防止できる。

【0192】また、請求項9記載の発明によれば、突起電極に不要な荷重が印加されることを防止でき、よって突起電極に変形が発生することを抑制することができる。また、請求項10記載の発明によれば、測定端子の先端部は突出した構造となり、被試験半導体に設けられた突起電極との接続性を向上させることができる。

【0193】また、請求項11記載の発明によれば、半導体装置の製造技術として一般に用いられているワイヤボンディング技術を用いて突起端子を形成することができ、よって低コストでかつ作成功率よく突起端子を形成することができる。また、通常スタッドバンプはその先端部にワイヤ切断による小突起が形成され、この小突起はプローブ先端と同様に尖った形状となるため、これによっても測定端子と突起電極との接続性を向上させることができる。

【0194】また、請求項12記載の発明によれば、最先端部に配設される突起電極の材質を突起電極に対し適合性の良いものに選定でき、また最先端部以外の突起端子の材質は測定端子或いは最先端部に配設され突起端子に対し適合性の良いものに選定できる。このため、最先端部に配設された突起端子と突起電極との接続性、各突起端子間の接続性、及び突起端子と測定端子との接続性を共に良好なものとすることができる。

【0195】また、請求項13記載の発明によれば、粗化面は微細な凹凸が形成された状態となりその表面積は広くなり、また微細な凸部は突起電極に食い込む状態となるため、測定端子と突起電極との電気的接続を確実に行なうことができる。また、請求項14記載の発明によれば、測定端子及び突起電極の材料が接合性の不良なものであっても、異種金属膜として測定端子及び突起電極に共に接合性の良好な材料を選定することが可能となり、測定端子と突起電極との間における電気的接合性の向上と、保護及び測定端子の保護を図ることができる。

【0196】また、請求項15記載の発明のように、基板に形成された凹部の形状は、突起電極の形状検査を行う半球形状、円錐形状、及び角錐形状のいずれを採用することも可能である。突起電極のフォーミング性の面からは半球形状が望ましく、また凹部の形成性の面からは円錐形状、角錐形状の方が望ましい。

【0197】また、請求項16記載の発明によれば、凸部が端子シート部を押し出すことにより測定端子を形成する構成とすることにより、測定端子は突出した端子形状となるため突起電極との電気的接続を確実に行なうことができる。また、測定端子はフレキシブル構造とされた端子シートに形成されるため、基台に測定端子をプリント配設する必要はなく、かつ端子シートの形成はフレキシブル回路基板の形成に準じて行なうことができるため、容易かつ安価に形成することかできる。

【0198】また、請求項17記載の発明によれば、基板の測定端子と対向する位置に第2の凹部を形成したことにより、突起電極が基板に嵌合した状態において、基板下部に露出する突起電極の表面積を広く設定することができ、測定端子と突起電極との接続を確実にこなうことができる。

【0199】また、請求項18記載の発明によれば、基板位置決め機構を設けたことにより、基板と測定端子が形成された測定基板との位置決めを高精度に行なうことができる。また、請求項19記載の発明によれば、半導

体位置決め機構を設けたことにより、基板と被試験半導体との位置決めを高精度に行なうことができる。【0200】また、請求項20記載の発明によれば、被試験半導体の試験及び突起電極の検査を同時に行うことが可能となり、検査工程での信頼性の向上と共に試験、検査時間の短縮化を図ることができ、よって検査工程の自動化を促進することが可能になり、検査コストを低減することができる。

【0201】また、請求項21記載の発明によれば、基板或いは被試験半導体の少なく一方を振動させることにより、被試験半導体は基板上で相対的に移動し、やがて基板に形成された凹部に突起電極は嵌入して位置決めされるため、突起電極と凹部の位置決めを容易かつ自動的にこなうことができる。

【0202】また、請求項22及び請求項23記載の発明によれば、真空吸引装置により突起電極を吸引し、基板に形成された凹部に突起電極を位置決めすることにより、確実に突起電極を凹部に嵌入させることができる。また、請求項24記載の発明によれば、被試験半導体を基板に沿って水平移動させる移動装置を設け、この移動装置により被試験半導体を水平移動させることにより、被試験半導体の移動に伴い突起電極は凹部に嵌入し位置決めされるため、簡単かつ確実に突起電極と凹部との位置決め処理を行なうことができる。

【0203】また、請求項25記載の発明によれば、第1及び第2の傾斜面の勾配差に基づき突起電極を凹部に嵌合させ位置決めすることにより、凹部に嵌入した突起電極は案内面として機能する傾斜面に案内され、係止面として機能する傾斜面に係止されて位置決めされるため、簡単かつ確実に突起電極と凹部との位置決め処理を行なうことができる。

【0204】また、請求項26記載の発明によれば、突起電極は半導体試験装置を構成する基板に形成された凹部に押し当てられ、凹部の形状に沿った形状に整形されることにより球形状以外の形状に形成することが可能となり、よって突起電極の形状を半導体装置の実装態様に適した形状にすることができる。

【0205】更に、請求項27記載の発明によれば突起電極の形状を円錐形状とした場合には、突起電極の先端は尖っており、かつこの先端部に押圧力は集中するた

め、当該突起電極を有する半導体装置を実装基板に実装する際、突起電極はその先端部から溶融し実装基板に接合されるため、効率よく確実に実装処理を行なうことができる。

【0206】また、突起電極の形状を円柱形状とした場合には、突起電極の先端は偏平状となり実装基板との接触面積は広がるため、確実な実装処理を行なうことができる。

【図面の簡単な説明】

10 【図1】本発明の第1実施例である半導体試験装置10を上下方向に分解して示す構成図である。

【図2】フォーミング基板の検査凹部及び測定端子を拡大して示す縦断面図である。

【図3】半導体装置の突起電極が検査凹部に嵌合された状態を拡大して示す縦断面図である。

【図4】第1実施例の半導体試験装置10の固定治具に半導体装置が装着された状態を説明するための図である。

20 【図5】第1実施例の半導体試験装置を使用して突起電極の検査及び半導体装置の試験を行う際の動作を説明するための図である。

【図6】測定端子の第1の変形例を分解して示す縦断面図である。

【図7】測定端子の第2の変形例を分解して示す縦断面図である。

【図8】測定端子の第3の変形例を分解して示す縦断面図である。

【図9】本発明の第2実施例である半導体試験装置を上下方向に分解して示す構成図である。

30 【図10】本発明の第3実施例である半導体試験装置を上下方向に分解して示す構成図である。

【図11】本発明の第4実施例である半導体試験装置を示す構成図である。

【図12】本発明の第5実施例である半導体試験装置を示す構成図である。

【図13】本発明の第6実施例である半導体試験装置を示す構成図である。

【図14】本発明の第7実施例である半導体試験装置を示す構成図である。

40 【図15】本発明の第8実施例である半導体試験装置を示す構成図である。

【図16】本発明の第9実施例である半導体試験装置を示す構成図である。

【図17】本発明の第10実施例である半導体試験装置を示す構成図である。

【図18】本発明の第10実施例である半導体試験装置の各検査ユニットが所定の配列で設けられた状態を示す平面図である。

50 【図19】本発明の第10実施例である半導体試験装置の検査ユニットを拡大して示す縦断面図である。

【図 20】本発明の第 1 1 実施例である半導体試験装置を示す構成図である。

【図 21】本発明の第 1 2 実施例である半導体試験装置の要部を拡大して示す図である。

【図 22】本発明の第 1 2 実施例である半導体試験装置の変形例の要部を拡大して示す図である。

【図 23】本発明の第 1 2 実施例である半導体試験装置の変形例の要部を拡大して示す図である。

【図 24】本発明の第 1 3 実施例である半導体試験装置の要部を拡大して示す図である。

【図 25】本発明の第 1 4 実施例である半導体試験装置の要部を拡大して示す図である。

【図 26】本発明の第 1 5 実施例である半導体試験装置の要部を拡大して示す図である。

【図 27】本発明の第 1 6 実施例である半導体試験装置の要部を拡大して示す図である。

【図 28】本発明の第 1 7 実施例である半導体試験装置の要部を拡大して示す図である。

【図 29】本発明の第 1 8 実施例である半導体試験装置の要部を拡大して示す図である。

【図 30】本発明の第 1 9 実施例である半導体試験装置の要部を拡大して示す図である。

【図 31】本発明の第 2 0 実施例である半導体試験装置の要部を拡大して示す図である。

【図 32】本発明の第 2 1 実施例である半導体試験装置の要部を拡大して示す図である。

【図 33】本発明の第 2 2 実施例である半導体試験装置の要部を拡大して示す図である。

【図 34】本発明の第 2 3 実施例である半導体試験装置の要部を拡大して示す図である。

【図 35】本発明の第 2 4 実施例である半導体試験装置の要部を拡大して示す図である。

【図 36】本発明の第 2 5 実施例である半導体試験装置の要部を拡大して示す図である。

【図 37】本発明の一実施例である半導体装置及びその製造方法を説明するための図である。

【図 38】本発明の他実施例である半導体装置及びその製造方法を説明するための図である。

【符号の説明】

10, 31, 41, 51, 61, 71, 73, 75, 77, 80, 91 半導体試験装置
11 半導体装置
12 (12_i ~ 12_n) 突起電極
13 固定治具
14 吸着部
15, 23 調芯機構
16, 116, 119, 135 ~ 137, 150, 15

5 フォーミング基板

17 (17_i ~ 17_n), 110, 130 検査凹部

18 測定基板

19 (19_i ~ 19_n), 25, 26, 29, 100,

105, 112 測定端子

20 配線層

21 ステージ

29a, 29b 導電性皮膜

32, 42 位置決め部

10 52 位置決め機構

53, 64 ガイドピン

54, 65 ガイド孔

62 固定治具側位置決め部

63 ステージ側位置決め機構

72, 74, 76, 78 緩衝材

81 (81_i ~ 81_n) 検査ユニット

82 測定端子

83 検査凹部

84 収納ケース

20 85 コイルバネ

86 ロッド

87 ガイド部

88 緩衝材

92 絶縁体

101, 101A, 101B 突起状端子

102a ~ 102c スタッドバンプ

106 粗化面

107 異種金属

111 端子シート部

30 113 基台

114 凸部

115 振動発生装置

117 吸引口

118 吸引通路

120 移動装置

131 案内面

132 係止面

133 位置決め面

138, 139 第 2 の凹部

140 測定基板

141, 143, 145, 147 位置決めピン

142, 146 位置決め孔

144, 148 位置決め溝

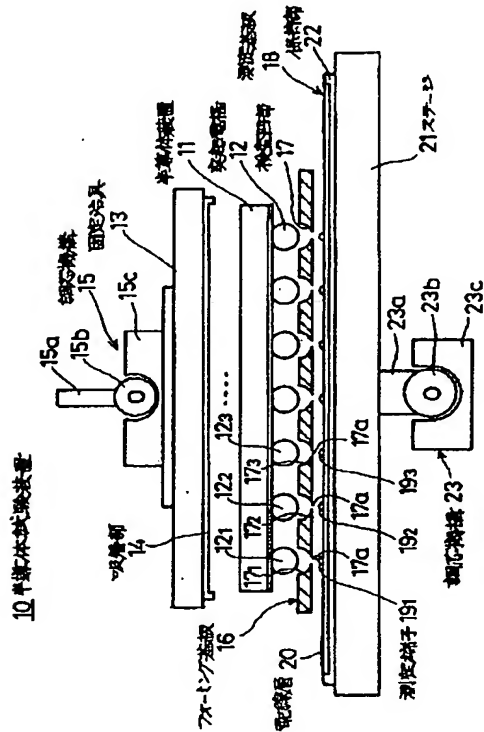
151 整形凹部

152, 157 整形突起電極

156 整形孔

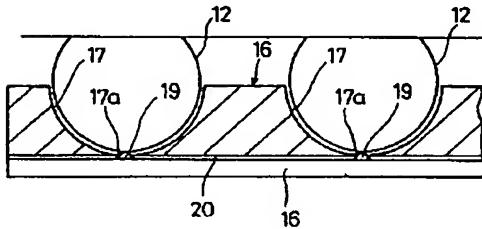
【図1】

本発明の第1実施例である半導体試験装置70を上下方向に分解して示す構成図



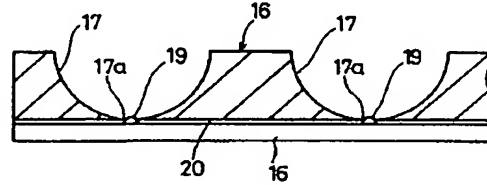
【図3】

半導体装置の突起電極が検査凹部に嵌合した状態を拡大して示す横断面図



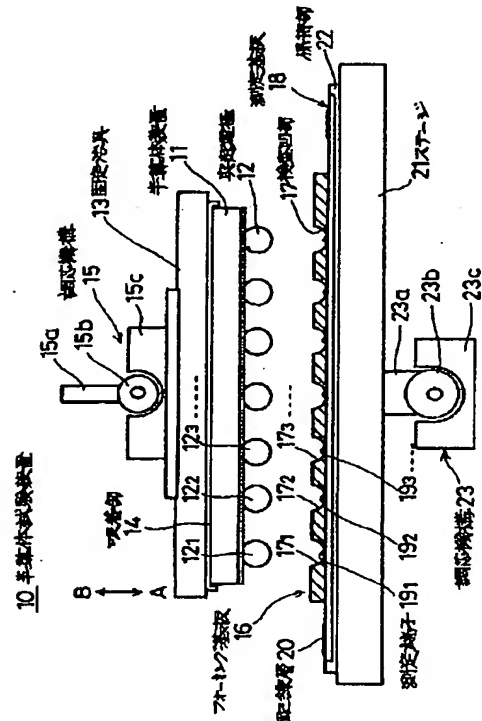
【図2】

フォーミング基板の検査凹部及び測定端子を拡大して示す横断面図



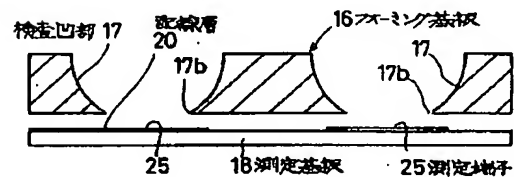
【図4】

第1実施例の半導体試験装置70の固定治具に半導体装置が装着された状態を説明するための図



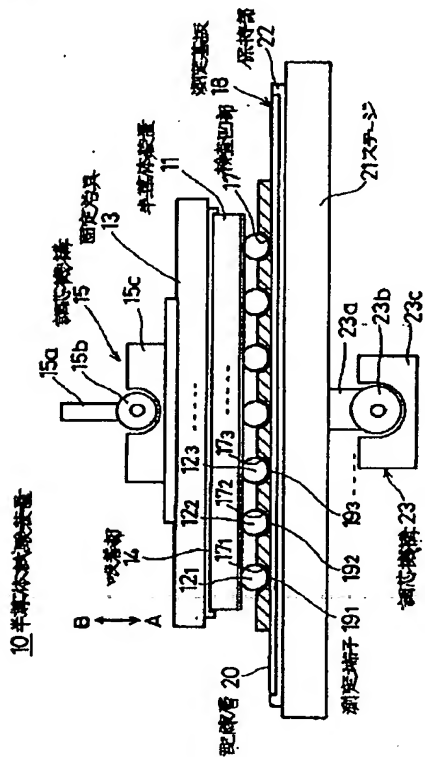
【図6】

測定端子の第1の変形例を分解して示す横断面図



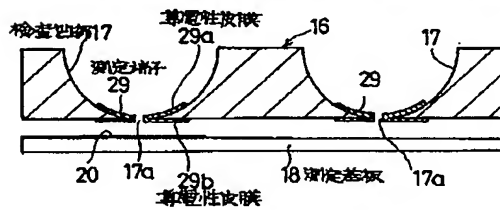
【図5】

第1実施例の半導体試験装置10を使用して突起電極の検査及び半導体装置の試験を行う際の動作を説明するための図



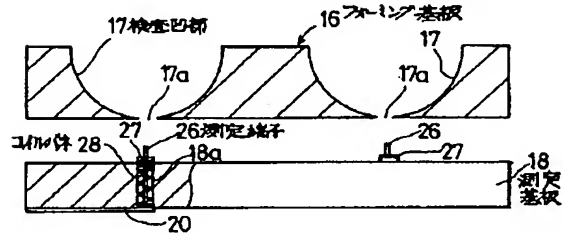
【図8】

測定端子の第3の変形例を分解して示す断面図



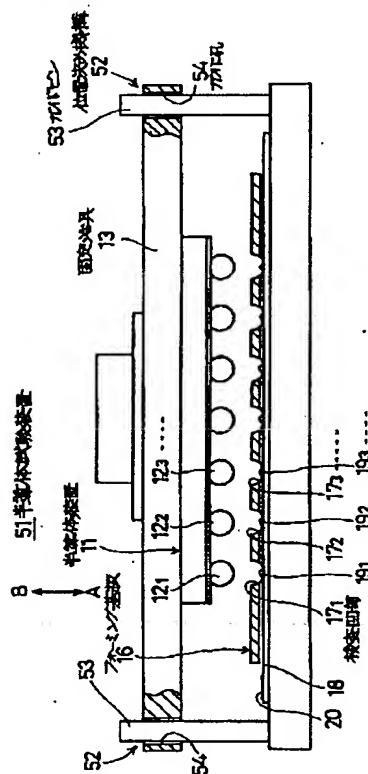
【図7】

測定端子の第2の変形例を分解して示す断面図



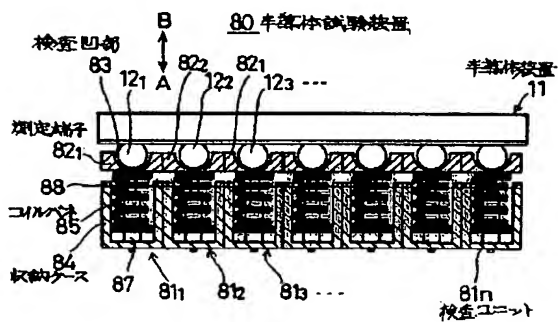
【図 1 1】

本発明の第4実施例である半導体試験装置51を示す構成図



【図 17】

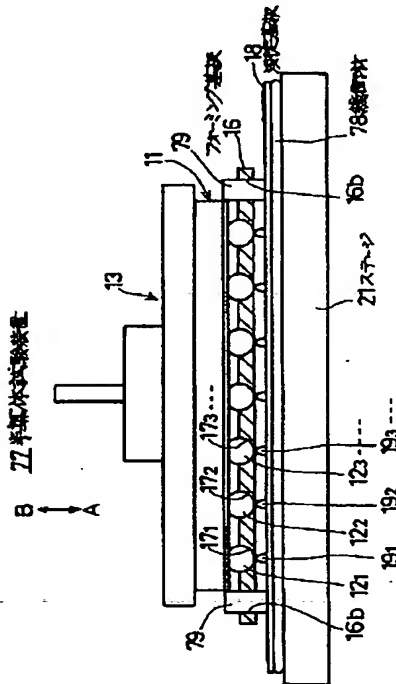
本発明の第10実施例である半導体試験装置80を示す構成図



75 半導体試験装置

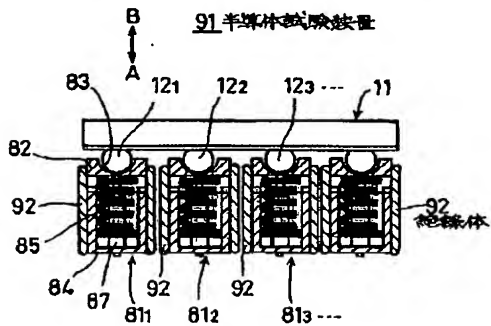
【図16】

本発明の第9実施例である半導体試験装置77を示す構成図



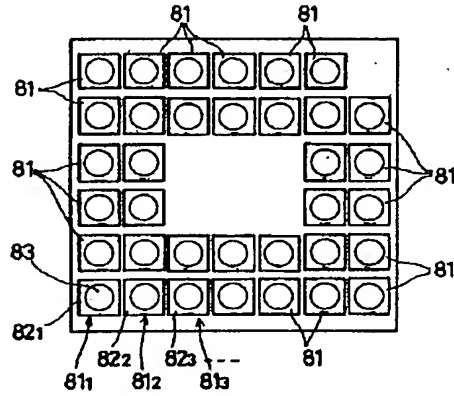
【図20】

本発明の第11実施例である半導体試験装置91を示す構成図



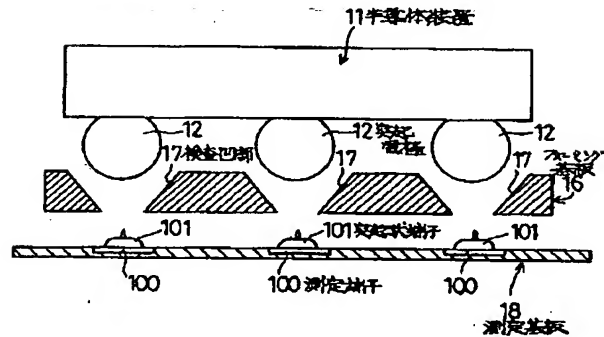
【図18】

半導体試験装置80の各検査ユニットが所定の配列で設けられた状態を示す平面図



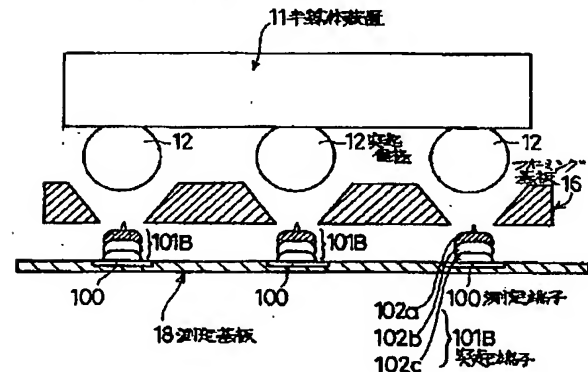
【図21】

本発明の第12実施例である半導体試験装置の要部を拡大して示す図



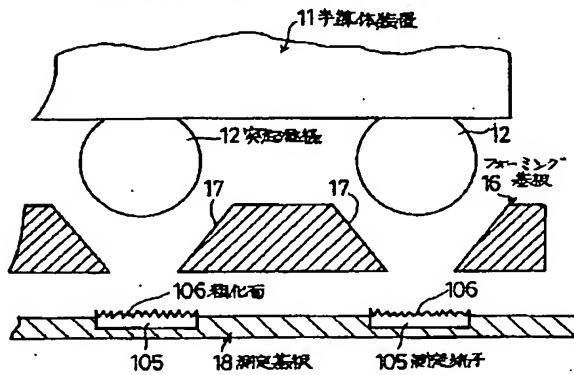
【図23】

本発明の第12実施例である半導体試験装置の外形側の要部を拡大して示す図



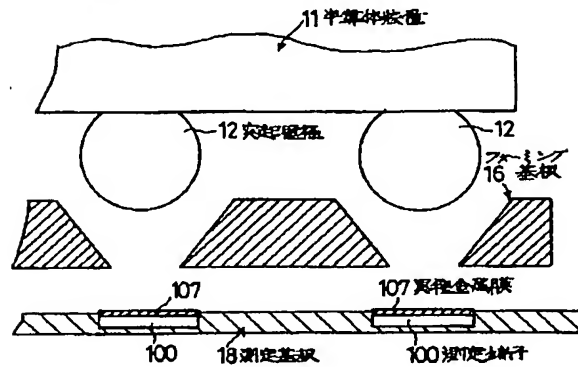
【図24】

本発明の第13実施例である半導体試験装置の要部を拡大して示す図



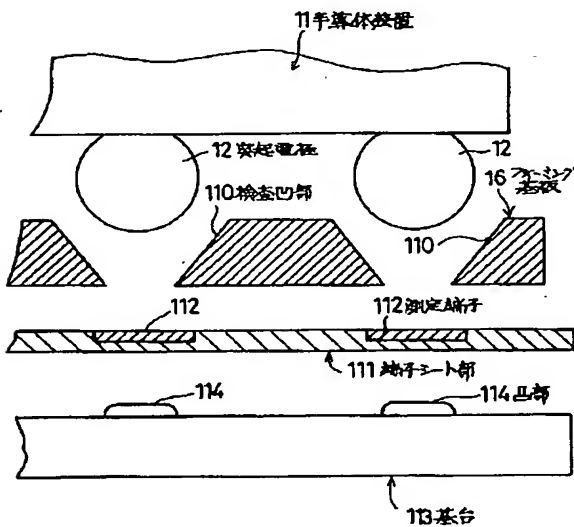
【図25】

本発明の第14実施例である半導体試験装置の要部を拡大して示す図



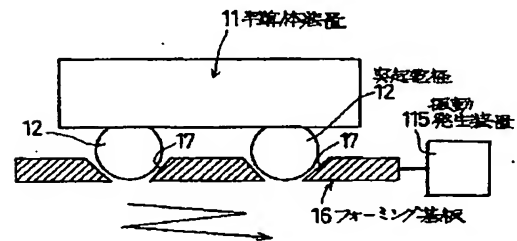
【図26】

本発明の第15実施例である半導体試験装置の要部を拡大して示す図



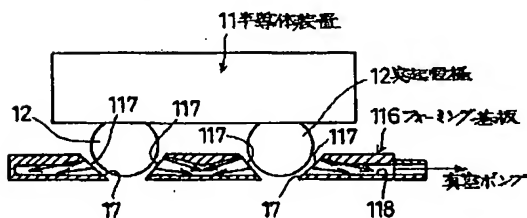
【図27】

本発明の第16実施例である半導体試験装置の要部を拡大して示す図



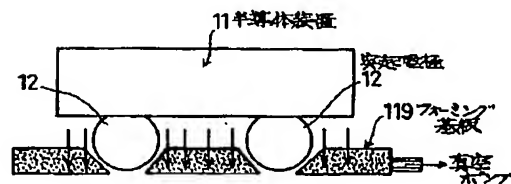
【図28】

本発明の第17実施例である半導体試験装置の要部を拡大して示す図



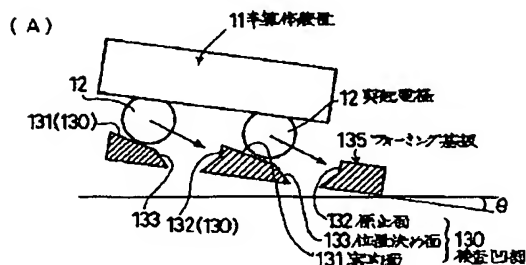
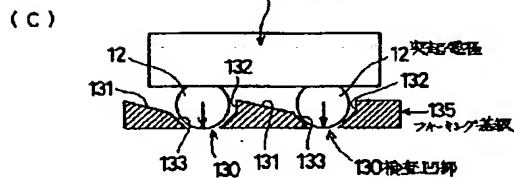
【図29】

本発明の第18実施例である半導体試験装置の要部を拡大して示す図



【図 3 1】

本発明の第20実施例である半導体試験装置の要部を拡大して示す図

[illegible]

(B)

11 半導体装置

12

12 突起層

17 第1の凹部

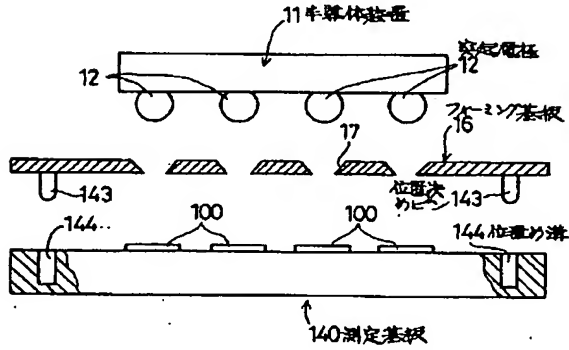
137 フォーミング基板

139 第2の凹部

[illegible]

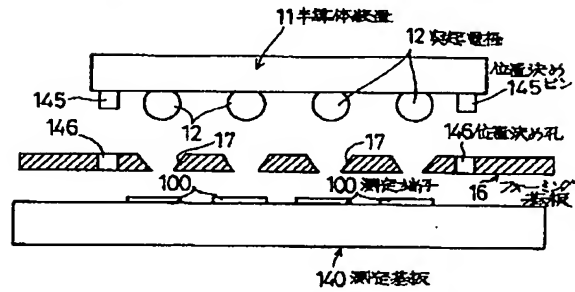
【図34】

本発明の第23実施例である半導体試験装置の要部を拡大して示す図



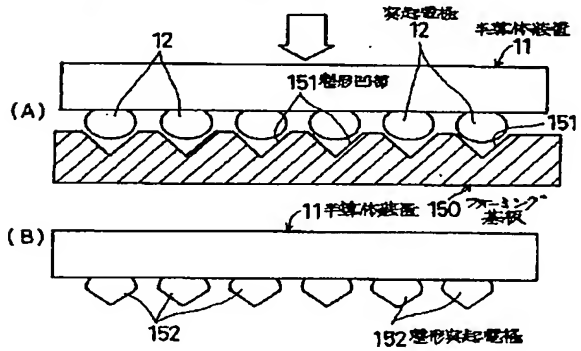
【図35】

本発明の第24実施例である半導体試験装置の要部を拡大して示す図



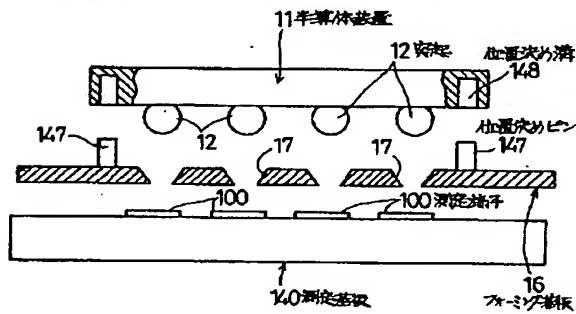
【図37】

本発明の一実施例である半導体装置及びその製造方法を説明するための図



【図36】

本発明の第25実施例である半導体試験装置の要部を拡大して示す図



【図38】

本発明の他実施例である半導体装置及びその製造方法を説明するための図

